

Information List (Form1)

32/03

US Serial No.	
Our Ref.	SDK-P732-US

The following is a List of References provided by Applicant.
Please file an Information Disclosure Statement using this Information.

Document Number	Publication Date	Brief Explanation or Page(s) & Line(s) of Related Part(s)
JP-A-2002-151644	May 24, 2002	Described in the specification.

A.AOKI,ISHIDA & ASSOCIATES

BEST AVAILABLE COPY

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-151644

(P2002-151644A)

(43) 公開日 平成14年5月24日(2002.5.24)

(51) Int.Cl. 識別記号

H 01 L 25/065

23/12 5 0 1

25/07

25/18

(21) 出願番号 特願2001-121539(P2001-121539)

(22) 出願日 平成13年4月19日(2001.4.19)

(31) 優先権主張番号 特願2000-267621(P2000-267621)

(32) 優先日 平成12年9月4日(2000.9.4)

(33) 優先権主張国 日本 (JP)

(54) 【発明の名称】 構造型半導体装置及びその製造方法

(57) 【要約】

【課題】 本発明は、任意のサイズの複数の半導体素子を積層状態で一つのパッケージに収容することができる構造型半導体装置及びその製造方法を提供することを課題とする。

【解決手段】 外部接続用端子が設けられたフレキシブルプリント基板26に第1の半導体素子22を搭載する。第1の半導体素子22上にプリント配線基板32を設け第1の半導体素子22をフリップチップ実装する。プリント配線基板32上に第2の半導体素子24を固定する。第2の半導体素子24をフレキシブルプリント基板26にワイヤボンディングし、第1の半導体素子22をプリント回路基板32を介してフレキシブルプリント基板26にワイヤボンディングする。

F I テーマコード(参考)

H 01 L 23/12 5 0 1 W 25/08 Z

審査請求(未請求) 請求項の数14, O.L. (全 25 頁)

(71) 出願人 000005223 富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番

1号

(72) 発明者 菊間 克仁 神奈川県川崎市中原区上小田中4丁目1番

1号 富士通株式会社内

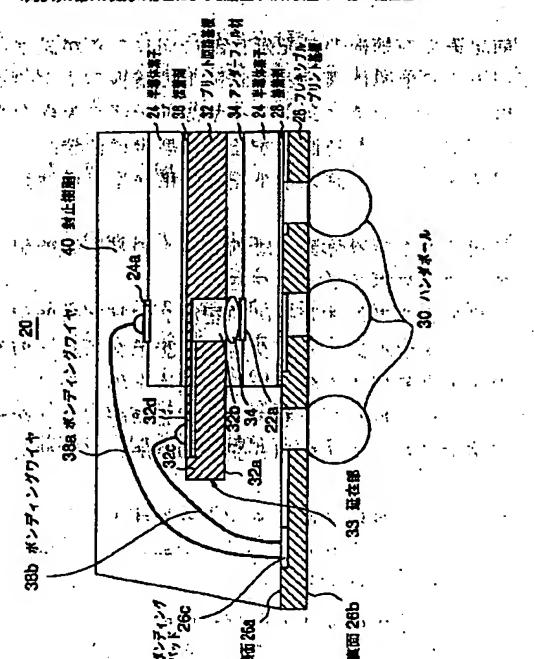
(72) 発明者 池田 充貴 神奈川県川崎市中原区上小田中4丁目1番

1号 富士通株式会社内

(74) 代理人 100070150

弁理士 伊東 忠彦 最終頁に続く

本発明の第1の実施の形態による構造型半導体装置の断面図



【特許請求の範囲】

【請求項1】 外部接続用端子が設けられた第1の基板と、該第1の基板の該外部接続用端子が設けられた面の反対側の面に設けられた第1の端子と、該第1の基板上に搭載された少なくとも一つの第1の半導体素子と、該第1の半導体素子上に設けられた第2の基板と、該第2の基板上に搭載された少なくとも一つの第2の半導体素子とがパッケージされた積層型半導体装置であって、前記第1の半導体素子及び前記第2の半導体素子の少なくとも一方は、前記第2の基板の第2の端子に電気的に接続され、且つ前記第2の端子は前記第1の端子にワイヤボンディングされたことを特徴とする積層型半導体装置。

【請求項2】 請求項1記載の積層型半導体装置であって、

前記第2の半導体素子は前記第1の基板の第1の端子にワイヤボンディングされ、

前記第1の半導体素子は前記第2の基板にフリップチップ実装され、

前記第2の基板の第2の端子は前記第1の基板の第1の端子にワイヤボンディングされたことを特徴とする積層型半導体装置。

【請求項3】 請求項2記載の積層型半導体装置であって、

前記第2の基板は前記第2の半導体素子の外形を超えて延出した延在部を有しており、前記第2の基板の第2の端子は該延在部に形成されたボンディングパッドであって、前記第2の端子は前記第1の端子にワイヤボンディングされたことを特徴とする積層型半導体装置。

【請求項4】 請求項3記載の積層型半導体装置であって、

前記第2の基板の前記延在部に切り欠きが設けられ、前記第2の半導体素子と前記第1の基板の第1の端子とを接続するボンディングワイヤは前記切り欠き内を通って延在することを特徴とする積層型半導体装置。

【請求項5】 請求項1記載の積層型半導体装置であって、

前記第1の半導体素子は前記第1の基板の前記第1の端子にワイヤボンディングされ、

前記第2の半導体素子は前記第2の基板の前記第2の端子にワイヤボンディングされ前記第2の基板の前記第2の端子は前記第1の基板の前記第1の端子にワイヤボンディングされたことを特徴とする積層型半導体装置。

【請求項6】 請求項5記載の積層型半導体装置であって、

前記第2の基板は前記第2の半導体素子の外形を超えて延出した延在部を有しており、前記第2の基板の前記第2の端子は該延在部に形成された第1のボンディングパッドを介して前記第1の基板の前記第1の端子にワイヤボンディングされたことを特徴とする積層型半導体装置。

【請求項7】 請求項6記載の積層型半導体装置であって、前記第2の半導体素子は前記第2の基板に形成された第2のボンディングパッドにワイヤボンディングされ、該第2のボンディングパッドは前記第2の基板上に形成されたパターン配線を介して前記第1のボンディングパッドに接続されたことを特徴とする積層型半導体装置。

【請求項8】 請求項1記載の積層型半導体装置であって、

前記第2の基板は周囲に向かって延出した延出部を有し、該延出部はパッケージされた半導体装置の側面に露出した端面を有することを特徴とする積層型半導体装置。

【請求項9】 請求項8記載の積層型半導体装置であって、

前記延出部の端面は前記積層型半導体装置を個片化する際の切断により形成された切断面であることを特徴とする積層型半導体装置。

【請求項10】 請求項1記載の積層型半導体装置であって、

前記第2の基板の前記第2の端子が設けられた面とは反対側の面に実質的に全面に渡って伝熱層が設けられたことを特徴とする積層型半導体装置。

【請求項11】 外部接続用端子が設けられた第1の基板と、

該第1の基板上に積層状態で搭載された複数の半導体素子と、

該複数の半導体素子の間に設けられた第2の基板とを有し、

前記第1の基板上に前記半導体素子と前記第2の基板とがパッケージされた積層型半導体装置であって、

前記第2の基板は、直上の半導体素子の外周より延出した延在部を有しており、前記半導体素子のうち直上及び直下の半導体素子の少なくとも一方に電気的に接続されたボンディングパッドが前記延在部に設けられ、該ボンディングパッドはワイヤボンディングにより前記第1の基板に電気的に接続されたことを特徴とする積層型半導体装置。

【請求項12】 外部接続用端子が設けられた第1の基板と、該第1の基板の該外部接続用端子が設けられた面の反対側の面に設けられた第1の端子と、該第1の基板上に搭載された少なくとも一つの第1の半導体素子と、

該第1の半導体素子上に設けられた再配線層と、該再配線層上に搭載された少なくとも一つの第2の半導体素子と、該再配線層上に搭載された試験用半導体素子とがパッケージされた積層型半導体装置であって、

前記第1の半導体素子及び前記第2の半導体素子の少なくとも一方は、前記再配線層を介して前記第1の基板に電気的に接続され、且つ前記試験用半導体素子は前記再

配線層に電気的に接続されたことを特徴とする積層型半導体装置。

【請求項1-3】 積層型半導体装置の製造方法であつて、前記第1の半導体素子に突起電極を形成し、前記第1の半導体素子を第2の基板にフリップチップ実装し、該第2の基板の前記第1の半導体素子の反対側に、前記第2の基板より小さい寸法を有する第2の半導体素子を固定すると共に前記第1の半導体素子を第1の基板の表面に固定し、前記第1及び第2の半導体素子の各々を前記第1の基板に設けられた端子にワイヤボンディングし、前記第1の基板上において、前記第1及び第2の半導体素子及び前記第2の基板を一体的に封止し、前記第1の基板の裏面に外部接続用電極を形成する各工程を有することを特徴とする積層型半導体装置の製造方法。

【請求項1-4】 積層型半導体装置の製造方法であつて、前記第1の半導体素子を固定すると共に、該第1の半導体素子の上に第2の基板を固定し、且つ該第2の基板より小さい寸法を有する第2の半導体素子を前記第2の基板の上に固定し、前記第2の半導体素子を前記第2の基板に設けられた第2の端子にワイヤボンディングすると共に、前記第2の基板及び前記第1の半導体素子の各々を前記第1の基板に設けられた第1の端子にワイヤボンディングし、前記第1の基板上において、前記第1及び第2の半導体素子及び前記第2の基板を一体的に封止し、前記第1の基板の裏面に外部接続用電極を形成する各工程を有することを特徴とする積層型半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体装置及びその製造方法に係わり、特に複数の半導体素子を積層して一つのパッケージとした積層型半導体装置及びその製造方法に関する。

【0002】 近年、移動体電話機のような携帯型電子機器や、I-Cメモリカードのような不揮発性記憶媒体等はより小型化されており、これらの機器や媒体の部品点数の削減及び部品の小型化が要求されている。したがつて、これらの機器を構成する部品のうちの主要部品である半導体素子を効率的にパッケージする技術の開発が望まれている。そのような要求を満たすパッケージとして、半導体素子と同程度の大きさのパッケージであるチップスケールパッケージ(CSP)や複数の半導体素子を1つのパッケージ内に収容したマルチチップパッケージ(MCP)などがある。

【0003】 【従来の技術】 上述のC.S.PやM.C.Pを実現する手段として、スタックド・マルチチップパッケージ(S-MCP)に代表されるような複数の半導体素子を積層して1つのパッケージとする技術が開発されている。

【0004】 図1は2つの半導体素子を積層して形成した従来のS-MCPの構成を示す図である。図1に示すように、従来のS-MCPでは、半導体素子2を基板4に搭載し、半導体素子2より小さいサイズの半導体素子6を半導体素子2の上に積層して搭載している。半導体素子2及び6の電極はポンディングワイヤ8により基板4のパッドに接続され、基板4のパッドは外部接続端子10に電気的に接続されている。そして、半導体素子2及び6及びポンディングワイヤ8は封止樹脂12により封止されパッケージされている。

【0005】 また、図1に示すS-MCPに類似したパッケージとしてスタックドCSPがあるが、その積層構造はS-MCPと同様である。

【0006】

【発明が解決しようとする課題】 上述の従来のS-MCPでは、上側の半導体素子6は下側の半導体素子2より小さいサイズなければならない。すなわち、上側の半導体素子6は、下側の半導体素子2の電極を覆ってしまわないようなサイズである必要がある。また、上側の半導体素子6が下側の半導体素子2に比較して小さすぎる、と、上側の半導体素子6の電極と基板4のパッドとの距離が大きくなってしまう。ワイヤボンディングに支障をきたすおそれがある。

【0007】 図2は上側の半導体素子と下側の半導体素子の配置関係を示す図である。

【0008】 図2(a)は適切に積層された2つの半導体素子の配置関係を示している。すなわち、上側の半導体素子6は下側の半導体素子2の電極を覆わない適度に小さいサイズであり、上側の半導体素子6の電極及び下側の半導体素子2の電極は両方とも基板4のパッド8に対してワイヤボンディング可能である。

【0009】 図2(b)は、積層できないサイズ関係の半導体素子を示す。すなわち、図2(b)に示す上側の半導体素子6は下側の半導体素子2とほぼ同じサイズであり、これらを積層すると上側の半導体素子6が下側の半導体素子2の電極を覆ってしまう。そのため、下側の半導体素子2の電極をワイヤボンディングすることができない。

【0010】 図2(c)は、積層はできるが、ワイヤボンディングに支障をきたす例である。すなわち、図2(c)に示す上側の半導体素子6は、下側の半導体素子2に比較してかなり小さいため、上側の半導体素子6の電極から基板4のパッドまでの距離が大きくなってしまう。したがって、ポンディングワイヤ8を張るための距離が大きすぎて、ポンディングできないという場合があ

る。また、ボンディングできたとしても、ボンディングワイヤ8が長すぎて変形じた際に周囲の部品に接触してしまうという不具合が生じるおそれがある。

【0011】また、図2-(d)は、積層ができるが、パッケージサイズが大きくなってしまう例である。すなわち、図2-(d)に示す上側の半導体素子6は下側の半導体素子2の電極を覆うことなく積層できるが、幅が大きすぎるため、下側の半導体素子2から大きくなり出してしまう。このような構成では、パッケージ全体としてのサイズを効率的に縮小することはできない。また、上側の半導体素子6のはみ出した部分は下から支持されないため、ワイヤボンダのキャビラリが半導体素子6の電極に押付けられた際にその押圧力により、上側の半導体素子6が破損するおそれもある。

【0012】以上のように、従来のS-MCPにおいては、同一サイズの（すなわち同じ種類の）半導体素子を積層することはできなかつた。また、積層可能な半導体素子のサイズが限られてしまい、S-MCPに適用できる半導体素子が限られてしまっていた。

【0013】同じ種類の半導体素子を積層する方法として、電極配列が対称となるように形勢されたりバース半導体素子を背中合わせに貼り合わせて積層する方法がある。しかし、バース半導体素子を作成するには、製造工程において2種類のマスクを準備する必要があり、半導体素子の製造コストが増大してしまう。

【0014】また、半導体素子が長方形の場合、同じ種類の半導体素子を互いに90度回転して十字型に配列して積層することができるが、上述の図2-(d)に関連して説明したような問題があり、実用的ではない。

【0015】本発明は上記の点に鑑みてなされたものであり、任意のサイズの複数の半導体素子を積層状態で一つのパッケージに収容することのできる積層型半導体装置及びその製造方法を提供することを目的とする。

【0016】
【課題を解決するための手段】上記の課題を解決するために本発明では、次に述べる各手段を講じたことを特徴とするものである。

【0017】請求項1記載の発明は、外部接続用端子が設けられた第1の基板と、該第1の基板の該外部接続用端子が設けられた面の反対側の面に設けられた第1の端子と、該第1の基板上に搭載された少なくとも一つの第1の半導体素子と、該第1の半導体素子上に設けられた第2の基板と、該第2の基板上に搭載された少なくとも一つの第2の半導体素子とがパッケージされた積層型半導体装置であつて、前記第1の半導体素子及び前記第2の半導体素子の少なくとも一方は、前記第2の基板の第2の端子に電気的に接続され、且つ前記第2の端子は前記第1の端子にワイヤボンディングされたことを特徴とするものである。

【0018】請求項1記載の発明によれば、第1及び第

2の半導体素子のうちの一方を、外部接続用電極が設けられた第1の基板に対して直接電気的に接続し、他方を第2の基板を介して第1の基板に電気的に接続することができる。したがって、第1の半導体素子と第2の半導体素子とが同じサイズであつても、一方を直接第1の基板の第1の端子にワイヤボンディングし、他方を第2の基板の第2の端子を介してワイヤボンディングにより第1の基板に電気的に接続することができる。また、第2の半導体素子が第1の半導体素子よりもかなり小さい場合でも、第1の半導体素子を直接第1の基板の第1の2端子ワイヤボンディングし、第2の半導体素子を第2の基板の第2の端子を介して第1の基板の第1の端子にワイヤボンディングにより電気的に接続することができる。したがって、第2の基板を第1の半導体素子と第2の半導体素子との間に設けることにより、任意のサイズの複数の半導体素子を積層状態で一つのパッケージに収容することができる。

【0019】請求項2記載の発明は、請求項1記載の積層型半導体装置であつて、前記第2の半導体素子は前記第1の基板の第1の端子にワイヤボンディングされ、前記第1の半導体素子は前記第2の基板にフリップチップ実装され、前記第2の基板の第2の端子は前記第1の基板の第1の端子にワイヤボンディングされたことを特徴とするものである。

【0020】請求項2記載の発明によれば、第1の半導体素子を第2の基板にフリップチップ実装することにより、第1の半導体素子の電極を第2の基板の反対側に形成されたボンディングパッドに電気的に接続することができる。このボンディングパッドを第1の基板の第1の端子にワイヤボンディングすることにより、第2の半導体素子を第1の基板に電気的に接続することができる。また、第2の半導体素子を第2の基板上に電極を上に向けて固定することにより、第2の半導体素子は第1の基板の第1の端子に直接ワイヤボンディングすることができる。

【0021】請求項3記載の発明は、請求項2記載の積層型半導体装置であつて、前記第2の基板は前記第2の半導体素子の外形を超えて延出した延在部を有しており、前記第2の基板の第2の端子は該延在部に形成されたボンディングパッドであつて、前記第2の端子は前記第1の端子にワイヤボンディングされたことを特徴とするものである。

【0022】請求項3記載の発明によれば、第2の基板の延在部にボンディングパッドを設けることにより、第1の基板へのワイヤボンディングの距離が小さくなり、確実なワイヤボンディングを行うことができる。

【0023】請求項4記載の発明は、請求項3記載の積層型半導体装置であつて、前記第2の基板の前記延在部に切り欠きが設けられ、前記第2の半導体素子と前記第1の基板の第1の端子とを接続するボンディングワイヤ

は前記切り欠き内を通って延在することを特徴とするものである。

【0024】請求項4記載の発明によれば、ボンディングワイヤが切り欠き部を通過するように構成することにより、ボンディングワイヤの長さを短くすることができ、ボンディングワイヤが周囲の部品又は隣接するボンディングワイヤに接触することを防止することができる。

【0025】請求項5記載の発明は、請求項1記載の積層型半導体装置であって、前記第1の半導体素子は前記第1の基板の前記第1の端子にワイヤボンディングされ、前記第2の半導体素子は前記第2の基板の前記第2の端子にワイヤボンディングされ前記第2の基板の前記第2の端子は前記第1の基板の前記第1の端子にワイヤボンディングされたことを特徴とするものである。

【0026】請求項5記載の発明によれば、第2の半導体素子が第2の基板の第2の端子にワイヤボンディングされ、第2の半導体素子が第1の基板の第1の端子にワイヤボンディングされる。このため、第2の半導体素子が第1の半導体素子よりかなり小さいサイズであっても、ワイヤボンディングの距離を長くすることなく、第2の半導体素子を第1の基板に電気的に接続することができる。

【0027】請求項6記載の発明は、請求項5記載の積層型半導体装置であって、前記第2の基板は前記第2の半導体素子の外形を超えて延出した延在部を有しており、前記第2の基板の前記第2の端子は該延在部に形成された第1のボンディングパッドを介して前記第1の基板の前記第1の端子にワイヤボンディングされたことを特徴とするものである。

【0028】請求項6記載の発明によれば、第2の基板の延在部にボンディングパッドを設けることにより、第1の基板へのワイヤボンディングの距離が小さくなり、確実なワイヤボンディングを行うことができる。

【0029】請求項7記載の発明は、請求項6記載の積層型半導体装置であって、前記第2の半導体素子は前記第2の基板に形成された第2のボンディングパッドにワイヤボンディングされ、該第2のボンディングパッドは前記第2の基板上に形成されたパターン配線を介して前記第1のボンディングパッドに接続されたことを特徴とするものである。

【0030】請求項7記載の発明によれば、第2の基板に形成されたパターン配線を介して、第2の半導体素子の電極を第2の基板の任意の位置に引き回すことができる。したがって、ワイヤボンディングの位置を任意の位置に変更することができ、自由度の高いワイヤボンディングを実現することができる。

【0031】請求項8記載の発明は、請求項1記載の積層型半導体装置であって、前記第2の基板は周囲に向かって延出した延出部を有し、該延出部はパッケージされ

た半導体装置の側面に露出した端面を有することを特徴とするものである。

【0032】請求項8記載の発明によれば、第2の基板の延出部は半導体装置の内部から延在して側面に露出するが半導体装置の内部に存在する水分は、延出部と封止樹脂との界面に沿って移動し、側面に露出した部分から半導体装置の外部に放出される。したがって、ハンダリフローの際に半導体装置内部に閉じ込められた水分が急激に蒸発することに起因したボンドの発生などを防止することができ、半導体装置の信頼性を向上することができる。

【0033】請求項9記載の発明は、請求項8記載の積層型半導体装置であって、前記延出部の端面は前記積層型半導体装置を個片化する際の切断により形成された切断面であることを特徴とするものである。

【0034】請求項9記載の発明によれば、複数の第2の基板同士を繋ぐ部分を延出部として形成し、半導体装置を個片化する際に延出部を切断することで、半導体装置の側面に露出した延出部の端面を容易に形成することができる。

【0035】請求項10記載の発明は、請求項1記載の積層型半導体装置であって、前記第2の基板の前記第2の端子が設けられた面とは反対側の面に実質的に全面に渡つて伝熱層が設けられたことを特徴とするものである。

【0036】請求項10記載の発明によれば、第2の基板の伝熱層は半導体装置内の熱を拡散して温度分布を均一化するよう作用し、半導体装置の温度を実質的に下げることができる。伝熱層は金属層であることが好ましい。

【0037】請求項11記載の発明は、積層型半導体装置であって、外部接続用端子が設けられた第1の基板と、該第1の基板上に積層状態で搭載された複数の半導体素子と、該複数の半導体素子の間に設けられた第2の基板とを有し、前記第1の基板上に前記半導体素子と前記第2の基板とがパッケージされた積層型半導体装置であって、前記第2の基板は、直上の半導体素子の外周より延出した延在部を有しており、前記半導体素子のうち直上又及び直下の半導体素子の少なくとも一方に電気的に接続されたボンディングパッドが前記延在部に設けられ、該ボンディングパッドはワイヤボンディングにより前記第1の基板に電気的に接続されたことを特徴とするものである。

【0038】請求項11記載の発明によれば、任意の数の同種類の半導体装置を積層状態で第1の基板上に配置してパッケージすることができる。上述の発明において、例えば、前記半導体素子は同種類の半導体素子であり、第1の基板に対して同じ位置の垂直方向に積層されることとしてもよい。また、第2の基板の延在部の延長さは、第1の基板に近づくほど大きくなり、最上段に

位置する第2の基板から順に直下の第2の基板にワイヤボンディングされ、最下段に位置する第2の基板は第1の基板にワイヤボンディングされることとしてもよい。さらに、第2の基板の延在部は実質的に等しい延長を有しており、第2の基板の各々は第1の基板に直接ワイヤボンディングされることとしてもよい。
【0-039】請求項1-2記載の発明は、外部接続用端子が設けられた第1の基板と、該第1の基板の該外部接続用端子が設けられた面の反対側の面に設けられた第1の端子と、該第1の基板上に搭載された少なくとも一つの第1の半導体素子と、該第1の半導体素子上に設けられた再配線層と、該再配線層上に搭載された少なくとも一つの第2の半導体素子と、該再配線層上に搭載された試験用半導体素子などがパッケージされた積層型半導体装置であって、前記第1の半導体素子及び前記第2の半導体素子の少なくとも一方は、前記再配線層を介して前記第1の基板に電気的に接続され、且つ前記試験用半導体素子は前記再配線層に電気的に接続されたことを特徴とするものである。

【0-040】請求項1-2記載の発明によれば、第1の半導体装置上に再配線層を介して第2の半導体素子と試験用半導体素子などが搭載される。第1の半導体素子及び第2の半導体素子の試験を行うための試験回路を試験用半導体素子に形成することにより、半導体装置内部に試験回路を容易に組み込むことができる。また、第1及び第2の半導体素子の全ての電極を半導体装置の外部に引き出す必要はなく、試験用回路に接続する入力及び出力端子を半導体装置に設けるだけでよい。これにより、半導体装置の寸法を増大することなく試験回路を組み込むことができる。

【0-041】請求項1-3記載の発明は、積層型半導体装置の製造方法であって、第1の半導体素子に突起電極を形成し、前記第1の半導体素子を第2の基板にフリップチップ実装し、該第2の基板の前記第1の半導体素子の反対側に、前記第2の基板より小さい寸法を有する第2の半導体素子を固定すると共に前記第1の半導体素子を第1の基板の表面に固定し、前記第1及び第2の半導体素子の各々を前記第1の基板にワイヤボンディングし、前記第1の基板上において、前記第1及び第2の半導体素子及び前記第2の基板を一体的に封止し、前記第1の基板の裏面に外部接続用電極を形成する各工程を有することを特徴とするものである。

【0-042】請求項1-3記載の発明によれば、第1の半導体素子を第2の基板にフリップチップ実装することにより、第1の半導体素子の電極を第2の基板の反対側に形成されたボンディングパッドに電気的に接続することができる。このボンディングパッドを第1の基板にワイヤボンディングすることにより、第1の半導体素子を第1の基板に電気的に接続することができる。また、第2の半導体素子を第2の基板上に電極を上に向けて固定す

ることにより、第2の半導体素子は第1の基板に直接ワイヤボンディングすることができる。

【0-043】請求項1-4記載の発明は、積層型半導体装置の製造方法であって、第1の基板の表面に第1の半導体素子を固定すると共に、該第1の半導体素子の上に第2の基板を固定し、且つ該第2の基板より小さい寸法を有する第2の半導体素子を前記第2の基板の上に固定し、前記第2の半導体素子を前記第2の基板にワイヤボンディングすると共に、前記第2の基板及び前記第1の半導体素子の各々を前記第1の基板にワイヤボンディングし、前記第1の基板上において、前記第1及び第2の半導体素子及び前記第2の基板を一体的に封止し、前記第1の基板の裏面に外部接続用電極を形成する各工程を有することを特徴とするものである。

【0-044】請求項1-4記載の発明によれば、第2の半導体素子が第2の基板にワイヤボンディングされ、第2の半導体素子が第1の基板にワイヤボンディングされる。そのため、第2の半導体素子が第1の半導体素子よりもかなり小さいサイズであっても、ワイヤボンディングの距離を長くすることなく、第2の半導体素子を第1の基板に電気的に接続することができる。

【発明の実施の形態】次に、本発明の第1実施例について図3及び図4を参照しながら説明する。図3は本発明の第1の実施の形態による積層型半導体装置の一部の断面図である。図4は本発明の第1の実施の形態による積層型半導体装置の製造工程を説明するための図である。

【0-045】図3に示すように、本発明の第1の実施の形態による半導体装置2-0は、2つの同種類の半導体素子2-2及び2-4を積層してパッケージしたものである。下側の半導体素子2-2は電極が形成された面を上に向けた状態で、第1の基板であるフレキシブルプリント基板2-6に搭載されている。すなわち、半導体素子2-2の背面は接着剤2-8によりフレキシブルプリント基板2-6に接着されている。

【0-046】フレキシブルプリント基板2-6は、搭載された半導体素子2-2より大きいサイズであり、半導体素子2-2を搭載する表面2-6-aにボンディングパッド2-6-cを有している。ボンディングパッド2-6-cは、フレキシブルプリント基板2-6の裏面2-6-bに設けられた外部接続用突起電極としてのハンダボール3-0に電気的に接続されている。

【0-047】半導体素子2-2の上には第2の基板であるプリント回路基板3-2が配置され、半導体素子2-2はプリント回路基板3-2に対してフリップチップ実装されている。すなわち、半導体素子2-2の電極2-2-aには突起電極(パンプ)3-4が形成され、突起電極3-4とプリント回路基板3-2の裏面3-2-aに形成された電極パッド3-2-bとがフリップチップ接合されている。また、プリント回路基板3-2の表面3-2-cにはボンディングパッド3-2-dが形成されており、ボンディングパッド3-2-dは電

極パッド3·2·bに電気的に接続されている。したがって、半導体素子2·2の電極2·2·aは、突起電極3·4及び電極パッド3·2·bを介してポンディングパッド3·2·dに電気的に接続されている。

【0·0·4·8】また、半導体素子2·4は、電極2·4·aが形成された面を上に向けた状態で、プリント回路基板3·2の表面3·2·cに接着剤3·6により固定されている。そして、半導体素子2·4の電極2·4·aは、ポンディングワイヤ3·8·aによりフレキシブルプリント基板2·6のポンディングパッド2·6·cに電気的に接続されている。また、プリント回路基板3·2のポンディングパッド3·2·dは、ポンディングワイヤ3·8·bによりフレキシブルプリント基板2·6のポンディングパッド2·6·cに電気的に接続されている。

【0·0·4·9】上述のように積層された半導体素子2·2及び2·4は、ポンディングワイヤ3·8·a及び3·8·bと共に封止樹脂4·0により封止されており、パッケージされた半導体装置2·0を構成している。

【0·0·5·0】上述のように、半導体素子2·2の電極2·2·aは、突起電極3·4及び電極パッド3·2·bを介してポンディングパッド3·2·dに電気的に接続されているため、半導体素子2·2の電極2·2·a及び半導体素子2·4の電極2·4·aの両方ともフレキシブルプリント基板2·6のポンディングパッド2·6·cに電気的に接続されている。したがって、半導体素子2·2の電極2·2·a及び半導体素子2·4の電極2·4·aの両方ともポンディングパッド2·6·cを介してハンダボール3·0に電気的に接続されている。

【0·0·5·1】上述の構成において、第2の基板として半導体素子2·2及び2·4の間に配置されたプリント回路基板3·2は、ポンディングパッド3·2·dが上側の半導体素子2·4により覆われてしまわないように、上側の半導体素子2·4より大きいサイズとされており、上側の半導体素子2·4からはみでた部分にポンディングパッド3·2·dが設けられている。すなわち、第2の基板としてのプリント回路基板3·2は、上側の半導体素子2·4の外周より延出した延在部3·3を有しており、この延在部3·3にポンディングパッド3·2·dが設けられている。

【0·0·5·2】本実施の形態では、半導体素子2·2及び2·4は同種類のものであるため、サイズは等しい。したがって、半導体素子2·2と2·4とがプリント回路基板3·2の表面3·2·c及び裏面3·2·aの同じ位置に配置されるように構成することにより、プリント回路基板3·2の中央部分が半導体素子2·2及び2·4に挟まれた状態で、外周部のみが半導体素子2·2及び2·4の外周から延出した状態となる。このプリント基板の延出した部分に、半導体素子2·2の電極2·2·aを接続するためのポンディングパッド3·2·dが配置されている。

【0·0·5·3】ここで、プリント回路基板3·2のポンディングパッド3·2·dにポンディングワイヤ3·8·aを接続する際に、ワイヤボンダのキャビラリがポンディングパッ

ド3·2·dの真上に配置されなければならない。したがって、プリント回路基板3·2の延出部の延出長さは、キャビラリがポンディングパッド3·2·dの真上に配置できるような長さでなければならない。

【0·0·5·4】一方、ポンディングパッド3·2·dにポンディングワイヤ3·8·aを接続する際は、キャビラリから延出したポンディングワイヤの端部がポンディングパッド3·2·dに押圧される。プリント回路基板3·2の延出部は下側から支持されていないため、このポンディングワイヤによる押圧力により変形又は破損しないように、延出長さはなるべく短いほうが好ましい。

【0·0·5·5】したがって、プリント回路基板3·2の半導体素子2·2及び2·4からの延出長さは、キャビラリが配置可能であって、且つワイヤポンディング時の押圧力でプリント回路基板の延出部が破損しないような長さに設定される。また、プリント回路基板3·2の材質はある程度押圧力に耐えられるよう剛性を有することが好ましい。

【0·0·5·6】また、フレキシブルプリント基板2·6にはポンディングワイヤ3·8·a及び3·8·bが接続されるポンディングパッド2·6·cが設けられる。ポンディングパッド2·6·cが設けられる位置はプリント回路基板3·0より外側でなければならない。フレキシブルプリント基板2·6は、プリント回路基板3·2より大きいサイズとする必要がある。

【0·0·5·7】次に、図4を参照しながら、本発明の第1の実施の形態による積層型半導体装置2·0の製造工程について説明する。

【0·0·5·8】積層型半導体装置2·0を製造するには、まず、図4(a)に示すように下側の半導体素子2·2の電極2·2·aにパンプ3·4を形成する。次に、図4(b)に示すように、半導体素子2·2をフレキシブルプリント基板3·2に実装する。

【0·0·5·9】そして、図4(c)に示すように、下側の半導体素子2·2の背面をフレキシブルプリント基板2·6の表面2·6·aに接着剤2·8により接着すると同時に、上側の半導体素子2·4を下側の半導体素子2·2の位置に合わせて接着剤3·6によりプリント回路基板3·2の表面3·2·cに接着する。

【0·0·6·0】次に、図4(d)に示すように、半導体素子2·2の電極2·2·aとポンディングパッド2·6·cとをポンディングワイヤ3·8·bにより接続し、且つ半導体素子2·4の電極2·4·aとポンディングパッド2·6·cとをポンディングワイヤ3·8·aにより接続する。この際、後述するように、半導体素子2·2と2·4は同種類の半導体素子であり、半導体素子2·2と2·4の電極で共通に使用できる電極は同じポンディングパッド2·6·cに接続される。

【0·0·6·1】次に、図4(e)示すように、半導体素子2·2及び2·4をポンディングワイヤ3·8·a及び3·8·bと共に封止樹脂4·0により封止する。そして、図4(f)

に示すように、フレキシブルプリント基板2-6の裏面2-6bに外部接続用突起電極としてのバンダボール3-0を形成して、積層型半導体装置2-0が完成する。

【0-06-2】本実施の形態による積層型半導体装置2-0では、下側の半導体素子2-2と上側の半導体素子2-4とが同種類の半導体素子であって、そのサイズが同じであるが、それらの間に第2の基板としてのプリント回路基板3-2を設けているため、下側の半導体素子2-2の電極2-2aをプリント回路基板3-2を介して第1の基板としてのフレキシブルプリント基板2-6のボンディングパッド2-6cに接続することができる。すなわち、プリント回路基板3-2を設けるだけの簡単な構成で、同種類の半導体素子を積層状態でパッケージして一つの半導体装置とすることができる。

【0-06-3】図5は半導体装置2-0における半導体素子2-2及び2-4を同種類のメモリチップ(1/0構成:8ビット×2=16ビット)とした場合の配線例を示す図である。図5に示すような配線構成とすることにより、1/0構成を変更せずにメモリ容量を2倍にすることができる。なお、図5において、メモリ1は下側の半導体素子2-2に相当するメモリチップを表し、メモリ2は上側の半導体素子2-4に相当するメモリチップを表す。実際は、メモリ2はメモリ1の上に積層されているが、図5では便宜上並べて示してある。

【0-06-4】メモリ1及びメモリ2の各々は、下位8-bitメモリ端子、上位8-bitメモリ端子、/B-Y-T-E端子、Adddressその他端子を有している。さらに、メモリ1は/C E #1端子(チップイネーブル端子)及びV C C #1端子を有しており、メモリ2は/C E #2端子(チップイネーブル端子)及びV C C #2端子を有している。これらの端子のうち、下位8-bitメモリ端子、上位8-bitメモリ端子、/B-Y-T-E端子及びAdddressその他端子については、メモリ1とメモリ2に共通の信号を入力することができるので、半導体装置2-0の同じ外部接続端子(バンダボール)3-0へと接続される。すなわち、メモリ1とメモリ2にそれぞれ対応する端子は、ボンディングワイヤ3-8a及び3-8bによりフレキシブルプリント基板2-6の同じボンディングパッド2-6cに接続される。

【0-06-5】一方、これらの端子のうち、メモリ1の/C E #1端子(チップイネーブル端子)及びV C C #1端子と、メモリ2の/C E #2端子(チップイネーブル端子)及びV C C #2端子とは、メモリ1及びメモリ2を単独に制御できるように、別々に外部接続端子に接続される。すなわち、メモリ1及びメモリ2のチップイネーブル端子には別々に信号を供給できるようにするために共通化できないため、各々別の外部接続用端子に接続される。したがって、メモリ1の/C E #1端子は半導体装置2-0としての/C E #1端子に接続され、メモリ2の/C E #1端子は半導体装置2-0としての/C E #

2端子に接続されており、各々別個に信号を供給することができる。なお、メモリ1のV C C #1端子とメモリ2のV C C #2端子は共通化することもできるが、本実施の形態では別々の外部接続用端子に接続されている。

【0-06-6】図6は、図5に示す配線例を実現するために設けられるボンディングワイヤの一部を示す簡略図である。図6において、上側のメモリ1の下位8-bitメモリ端子(電極2-2aに相当)のうち、D Q 0, D Q 8, D Q 1, D Q 9端子が示されている。また、第2の基板としてのプリント回路基板3-2には、下側のメモリ2のD Q 0, D Q 8, D Q 1, D Q 9端子に接続されたボンディングパッドが示されている。

【0-06-7】メモリ1及びメモリ2のD Q 0, D Q 8, D Q 1, D Q 9端子には、共通の信号を入力することができるため、これらの端子は第1の基板としてのフレキシブルプリント基板2-6の同一の端子に接続される。例えば、上側のメモリ1のD Q 0端子と、下側のメモリ2のD Q 0端子に接続されたボンディングパッドとは、基板2-6の同じボンディングパッド2-6cに接続される。

【0-06-8】ここで、上側のメモリ1のD Q 0端子とボンディングパッド2-6cとを結ぶボンディングワイヤ2-8aと、下側のメモリ2のD Q 0端子に接続されたボンディングパッド3-2-dとボンディングパッド2-6cとを結ぶボンディングパッド2-8bとは、図3に示すように高さ方向はずらじて互いに接触しないように構成されている。図6に示す例では、プリント回路基板3-2の配線により、ボンディングパッド3-2-dの位置をボンディングワイヤが延在する方向に対して横方向にもずすことにより、ボンディングワイヤ2-8aと2-8bとがより一層接触しにくく構成している。

【0-06-9】図7は図5に示すメモリ1及びメモリ2の配線を変えて、1/0構成を2倍にした例である。すなわち、図7に示す配線例では、下位8-bitメモリ端子と上位8-bitメモリ端子とは共通に接続せず、各々別々に半導体装置2-0の外部接続端子(バンダボール)に接続される。したがって、これらの端子は、ボンディングワイヤ3-8a及び3-8bによりフレキシブルプリント基板2-6の別々のボンディングパッド2-6cに接続される。

【0-07-0】メモリ1の/C E #1端子(チップイネーブル端子)及びV C C #1端子と、メモリ2の/C E #2端子(チップイネーブル端子)及びV C C #2端子とは、いずれか一方のメモリのみを使用する場合を考慮して、別々に外部接続端子に接続される。また、/B-Y-T-E端子はパッケージ内部で接続されてD W A R D端子として一つの端子に接続される。D A O R D端子は、1/0構成を16ビットと32ビットとに切り替える機能を果たす。その他の端子はすべて共通化可能である。

【0-07-1】図8は、図7に示す配線例を実現するために設けられるボンディングワイヤの一部を示す簡略図で

ある。図8において、上側のメモリ1の下位8bit端子/O端子(電極2-2'aに相当)のうち、DQ0、DQ1、DQ1'、DQ9端子が示されている。また、第2の基板としてのプリント回路基板3-2には、下側のメモリ2のDQ0、DQ8、DQ1'、DQ9端子に接続されたボンディングパッド3-2'dが示されている。

【0-0-7-2】メモリ1及びメモリ2のDQ0、DQ8、DQ1、DQ9端子には、各々別個に信号を入力するため、これらの端子は第1の基板としてのフレキシブルプリント基板2-6の別個の端子に接続される。例えば、上側のメモリ1のDQ0端子はDQ端子として基板2-6のボンディングパッド2-6cに接続され、下側のメモリ2のDQ0端子に接続されたボンディングパッドはDQ8端子として別のボンディングパッド2-6cに接続される。

【0-0-7-3】ここで、上側のメモリ1のDQ0端子とDQ0端子に相当するボンディングパッド2-6cとを結ぶボンディングワイヤ2-8'aと、下側のメモリ2のDQ0端子に接続されたボンディングパッド3-2'dとDQ8端子に相当するボンディングパッド2-6cとを結ぶボンディングパッド2-8'bとは、互いに平行となるように、ボンディングパッド3-2'dの位置をボンディングワイヤが延在する方向に対して横方向にずらすことにより、ボンディングワイヤ2-8'aと2-8'bとが接触しにくいように構成している。

【0-0-7-4】ここで、上側のメモリ1の端子(電極)とフレキシブルプリント基板2-6のボンディングパッド2-6cとを結ぶボンディングワイヤ2-8'aは、プリント回路基板3-2に接触しないように設けられなければならない。図8に示す例では、プリント回路基板3-2に切り欠き3-2'eを設けて、ボンディングワイヤ2-8'aを切り欠き3-2'eを延在するように構成している。これにより、ボンディングワイヤ2-8'aの長さを短くして、近傍の部品への接触を防止することができる。また、ワイヤボンディング装置のキャビラリがプリント回路基板3-2と接触することを防止することができる。

【0-0-7-5】図9は、上述の実施の形態に基づいて半導体素子を複数個積層した例を示す。具体的には、図9(a)及び(b)に示す例はいずれも同種類の半導体素子4個をそれらの間に第2の基板を設けて積層した例である。積層が終了した時点では、最上段の半導体素子のみ電極が露出しており、最上段の半導体素子以外の半導体素子は第2の基板(プリント回路基板3-2)にフリップチップ実装されている。

【0-0-7-6】図9(a)に示す半導体装置5-0は、同種類の半導体素子5-2-1～5-2-4を4個積層した後に一括してワイヤボンディングを行う構成である。ワイヤボンディングは、まず最上段の半導体素子5-2-4と最上段の第2の基板3-2-3との間で行われ、次に最上段の第2の基板3-2-3とすぐ下の第2の基板3-2-2と

の間で行われる。このように順次ワイヤボンディングして最後に最下段の第2の基板3-2-1と第1の基板(フレキシブルプリント基板2-6)との間でワイヤボンディングを行う。このようにワイヤボンディングを一括して行うには、下段の第2の基板のボンディングパッドが上段の第2の基板により覆われてしまわないよう、下にいくほど第2の基板のサイズを大きくする必要がある。

【0-0-7-7】図9(b)に示す半導体装置6-0は、同種類の半導体素子6-2-1～6-2-4を一つずつ積層しながら、その都度ワイヤボンディングを行う構成である。すなわち、第1の基板(フレキシブルプリント基板2-6)上に最下段の半導体素子6-2-1を搭載し、その上に最下段の第2の基板3-2-1を搭載してフリップチップ実装した時点で、第2の基板3-2-1と第1の基板2-6との間でワイヤボンディングを行う。次に、最下段の第2の基板3-2-1の上に下から2番目の半導体素子6-2-2を固定してその上に下から2番目の第2の基板3-2-2を搭載してフリップチップ実装する。その後、下から2番目の第2の基板3-2-2と第1の基板2-6との間でワイヤボンディングを行う。このように、一つの半導体素子と第2の基板とを積層する毎にワイヤボンディングを行っていく。そして、最上段の半導体素子6-2-4を積層し、この最上段の半導体素子6-2-4と最上段の第2の基板3-2-3との間でワイヤボンディングすることにより、ワイヤボンディングが完了する。このような構成によれば、第2の1基板は全て同一のサイズとすることができる。

【0-0-7-8】上述の実施の形態では、ワイヤボンディングされる電極が半導体素子の対向する2辺に沿って配列された例に関して説明したが、電極が半導体素子の4辺に沿って配列されている場合にも適用できる。また、第2の基板(プリント回路基板3-2)は剛性を有する材料で作られることが好ましいが、基板の強度を十分確保することができるのであれば、パッケージを薄型化するためにフレキシブルプリント基板を使用してもよい。

【0-0-7-9】次に、本発明の第2の実施の形態による積層型半導体装置について説明する。

【0-0-8-0】図1-0は本発明の第2の実施の形態による積層型半導体装置の一部の断面図である。図1-1は本発明の第2の実施の形態による積層型半導体装置の積層構造を示す斜視図である。図1-2は本発明の第2の実施の形態による積層型半導体装置の製造工程を説明するための図である。なお、図1-0乃至1-2において、図3に示す構成部品と同等な部品には同じ符号を付し、その説明は省略する。

【0-0-8-1】図1-0に示すように、本発明の第2の実施の形態による半導体装置7-0は、2つの異なるサイズの半導体素子7-2及び7-4を積層してパッケージしたものである。下側の半導体素子7-2は電極が形成された面上に向けた状態で、第1の基板であるフレキシブルプリ

ント基板2-6に搭載されている。すなわち、半導体素子7-2の背面は接着剤2-8によりフレキシブルプリント基板2-6に接着されている。

【0-0-8-2】フレキシブルプリント基板2-6は、搭載された半導体素子7-2より大きいサイズであり、半導体素子7-2を搭載する表面2-6-aにポンディングパッド2-6-cを有している。ポンディングパッド2-6-cは、フレキシブルプリント基板2-6の裏面2-6-bに設けられた外部接続用突起電極としてのハンダボール3-0に電気的に接続されている。

【0-0-8-3】半導体素子7-2の上には第2の基板であるフレキシブルプリント基板7-6が配置され、接着剤7-8により固定されている。フレキシブルプリント基板7-6の表面7-6-cにはポンディングパッド7-6-d及び7-6-bが形成されている。ポンディングパッド7-6-dは、フレキシブルプリント基板7-6の周囲部分に形成されており、ポンディングパッド7-6-bはフレキシブルプリント基板7-6の内側部分で半導体素子7-4が配置される部位の周辺に配置されている。ポンディングパッド7-6-dは、パターン配線7-6-eにより対応する電極パッド7-6-bに電気的に接続されている。また、半導体素子7-4は、電極7-4-aが形成された面を上に向けた状態で、フレキシブルプリント基板7-6の表面7-6-cに接着剤8-0により固定されている。

【0-0-8-4】以上のような積層構造において、上側の半導体素子7-4の電極7-4-aはフレキシブルプリント基板7-6のポンディングパッド7-6-bにポンディングワイヤ8-2により電気的に接続されている。また、ポンディングパッド7-6-dは、ポンディングワイヤ8-4によりフレキシブルプリント基板2-6のポンディングパッド2-6-cに接続されている。

【0-0-8-5】上述のように、ポンディングパッド7-6-bはフレキシブルプリント基板7-6上のパターン配線7-6-eによりポンディングパッド7-6-dに電気的に接続されているので、半導体素子7-4の電極7-4-aは、ポンディングワイヤ8-2、ポンディングパッド7-6-b、配線パターン7-6-e、ポンディングパッド7-6-d及びポンディングワイヤ8-4を介してフレキシブルプリント基板2-6のポンディングパッド2-6-cに電気的に接続されている。

【0-0-8-6】一方、下側の半導体素子7-2の電極7-2-aは、ポンディングワイヤ8-6により、フレキシブルプリント基板2-6のポンディングパッド2-6-cに電気的に接続されている。

【0-0-8-7】上述のように積層された半導体素子7-2及び7-4は、ポンディングワイヤ8-2、8-4、8-6と共に封止樹脂4-0により封止されおり、パッケージされた半導体装置7-0を構成している。

【0-0-8-8】上述のように、半導体素子7-2の電極7-2-a及び半導体素子7-4の電極7-4-aは両方ともフレキシブルプリント基板2-6のポンディングパッド2-6-cに電

気的に接続されており、したがって、半導体素子7-2の電極7-2-a及び半導体素子7-4の電極7-4-aの両方ともポンディングパッド2-6-cを介して外部接続用端子であるハンダボール3-0に電気的に接続されている。

【0-0-8-9】上述の積層構造において、下側の半導体素子7-2の上に設けられる第2の基板としてのフレキシブルプリント基板7-6は、下側の半導体素子7-2の電極7-2-aが配置された部位より内側となるような大きさである。より詳細には、フレキシブルプリント基板7-6の端部が、電極7-2-aにワイヤポンディングを施す際にワイヤポンディング装置のキャビラリがフレキシブルプリント基板7-6の端部に接触しないような大きさとされる。

【0-0-9-0】また、フレキシブルプリント基板7-6のポンディングパッド7-6-bは、積層される半導体素子7-4の大きさに対応した位置に設けられる。すなわち、ポンディングパッド7-6-bは、半導体素子7-4の電極7-4-aとの間でワイヤポンディングを容易に行うことができるような位置に設けられる。すなわち、ポンディングパッド7-6-bは、上側の半導体素子7-4の外周から延出した延長部7-7に設けられるため、ポンディングパッド7-6-dから第1の基板であるフレキシブルプリント基板2-6へのワイヤポンディングを容易に行うことができる。

【0-0-9-1】本実施の形態において使用される第2の基板は、フレキシブルプリント基板7-6であり、上述の第1の実施の形態に使用されるプリント回路基板3-2のように剛性を有していないてもよい。すなわち、本実施の形態では、第2の基板の全体が下側の半導体素子7-2の上に搭載されて支持されるので、柔軟性を有していても問題はない。

【0-0-9-2】また、図1-1に示すように、本実施例における上側の半導体素子7-4は下側の半導体素子7-2に比較して非常に小さいサイズであるが、第2の基板であるフレキシブルプリント基板7-6を設けることにより、上側の半導体素子7-4の電極7-4-aを第1の基板であるフレキシブルプリント基板2-6のポンディングパッド2-6-cまで効率的に接続することができる。

【0-0-9-3】フレキシブルプリント基板7-6のパターン配線7-6-eは、比較的自由に配置することができる。例えば、半導体素子7-6の一辺側に設けられた電極に対応するポンディングパッドを反対側まで引き回すことも可能である。

【0-0-9-4】次に、図1-2を参照しながら図1-0に示す半導体装置7-0の製造工程について説明する。

【0-0-9-5】まず、図1-2(a)に示すように、上述のような構成のフレキシブルプリント基板2-6及び7-6と、半導体素子7-2及び7-4とを準備する。次に、図1-2(b)に示すように、フレキシブルプリント基板2-6及び7-6と、半導体素子7-2及び7-4とを積層して各々を接着剤2-8、7-8、8-0により固定する。

【0-0-9-6】次に、図1-2(c)に示すように、上側の

半導体素子7'4の電極7'4aとフレキシブルプリント基板7'6のボンディングパッド7'6bなどをボンディングワイヤ8'2により電気的に接続する。また、下側の半導体素子7'2の電極7'2aとフレキシブルプリント基板2'6のボンディングパッド2'6cなどをボンディングワイヤ8'4により電気的に接続する。更に、フレキシブルプリント基板7'6のボンディングパッド7'6dとフレキシブルプリント基板2'6の7'6ボンディングパッド2'6cなどをボンディングワイヤ8'6により電気的に接続する。

【0'0'9'7】ワイヤボンディング工程が終了した後、図1'2'-(d')に示すように、半導体素子7'2及び7'4をボンディングワイヤ8'2, 8'4, 8'6と共に封止樹脂4'0により封止する。そして、図1'2'-(e')に示すように、フレキシブルプリント基板2'6の裏面2'6bに外部接続用突起電極としてのパンタール3'0を形成して、積層型半導体装置7'0が完成する。

【0'0'9'8】図1'0に示す半導体装置7'0においては、下側の半導体素子の上にフレキシブルプリント基板を介して2つの半導体素子を積層しているが、上側の半導体素子が下側の半導体素子に比較してかなり小さい場合は、図1'3に示すようにフレキシブルプリント基板を介して複数個の半導体素子を下側の半導体素子に積層することもできる。

【0'0'9'9】図1'3に示す半導体装置9'0では、下側の半導体素子7'2に対応してフレキシブルプリント基板7'6を介して2つの半導体素子7'4-1及び7'4-2を積層している。半導体装置9'0の各部の構成及び製造方法は、図1'0に示す半導体装置7'0とほぼ同様であり、その説明は省略する。

【0'1'0'0】以上のように、本実施の形態による積層型半導体装置7'0及び9'0では、下側の半導体素子7'2と上側の半導体素子7'4又は7'4-1及び7'4-2とはサイズが大きく異なるが、それらの間に第2の基板としてのフレキシブルプリント基板7'6を設けているため、下側の半導体素子7'2の電極7'2aをフレキシブルプリント基板7'6を介して第1の基板としてのフレキシブルプリント基板2'6のボンディングパッド2'6cに接続することができる。すなわち、フレキシブルプリント基板7'6を設けるだけの簡単な構成で、サイズが大きく異なる複数種類の半導体素子を積層状態でパッケージして一つの半導体装置とすることができる。

【0'1'0'1】上述の実施の形態では、ワイヤボンディングされる電極が、半導体素子の対向する2辺に沿って配列された例に関して説明したが、電極が半導体素子の4辺に沿って配列されている場合にも適用できる。

【0'1'0'2】また、下側の半導体素子7'2はワイヤボンディングによりフレキシブルプリント基板2'6に接続されているが、上述の第1の実施の形態のように、下側の半導体素子7'2に突起電極を設けてフレキシブルプリント基板7'6にフリップチップ実装することとしてもよ

い。この場合、下側の半導体素子7'2も、フレキシブルプリント基板7'6を介してフレキシブルプリント基板2'6に電気的に接続されることとなる。

【0'1'0'3】また、第2の基板として柔軟性を有し薄膜化可能なフレキシブルプリント基板7'6を使用しているが、剛性を有する材料で作られたプリント回路基板を用いることとしてもよい。

【0'1'0'4】また、図1'3に示す半導体装置9'0では、上側の半導体素子を2つ(複数個)としているが、下側の半導体素子も複数個とすることもできることは、上述の説明から容易に理解できるであろう。

【0'1'0'5】次に、図1'0に示す本発明の第2の実施の形態による半導体装置7'0の様々な変形例について図1'4乃至図1'7を参照しながら説明する。図1'4は半導体装置9'0の第1の変形例を示す図であり、(a)は内部を示す平面図(4分の1)であり、(b)は(a)におけるX-V-X-V線に沿った断面図である。同様に、図1'5は半導体装置9'0の第2の変形例を示す図であり、(a)は内部を示す平面図(4分の1)であり、(b)は(a)におけるX-V-X-V線に沿った断面図である。また、図1'6は半導体装置9'0の第3の変形例を示す図であり、(a)は内部を示す平面図(4分の1)であり、(b)は(a)におけるX-V-X-V線に沿った断面図である。また、図1'7は半導体装置9'0の第4の変形例を示す図であり、(a)は内部を示す平面団(4分の1)であり、(b)は(a)におけるX-V-X-V線に沿った断面図である。

【0'1'0'6】図1'4に示す第1の変形例は、図1'0に示す半導体装置7'0と基本的に同じ構成であるが、フレキシブルプリント基板7'6のボンディングパッド7'6dと下側の半導体素子7'2の電極7'2aとを接続するボンディングワイヤ8'4Aが追加されている点が異なる。すなわち、図1'4に示す第1の変形例では、下側の半導体素子7'2はフェイスアップでフレキシブルプリント基板2'6に搭載されてワイヤボンディングされ、上側の半導体素子7'4はフレキシブル基板を介してフェイスアップで搭載されてワイヤボンディングされている。ボンディングワイヤ8'4Aは、上側の半導体素子7'4と下側の半導体素子7'2とを電気的に接続するものである。これにより、上側の半導体素子7'4と下側の半導体素子との間での信号の伝達経路が短縮され、高速な信号の伝達が可能となる。

【0'1'0'7】図1'5に示す第2の変形例は、図1'0に示す半導体装置7'0と基本的に同じ構成であるが、下側の半導体素子7'2をフェイスダウンでフレキシブルプリント基板2'6に搭載した点が異なる。すなわち、下側の半導体素子7'2はフレキシブルプリント基板2'6に対してフリップチップボンディングされており、上側の半導体素子7'4はフレキシブルプリント基板7'6を介してフェイスアップで搭載されワイヤボンディングされている。

【01-08】図16に示す第3の変形例は、図10に示す半導体装置70と基本的に同じ構成であるが、上側の半導体素子74をフェイスダウンでフレキシブルプリント基板76に搭載した点が異なる。すなわち、上側の半導体素子74はフレキシブルプリント基板76に対してフリップチップボンディングされており、下側の半導体素子72はフレキシブルプリント基板26に搭載されワイヤボンディングされている。

【01-09】図17に示す第4の変形例は、上述の第2の変形例と第3の変形例を組み合わせたもので、上側の半導体素子74及び下側の半導体素子72の両方もフェイスダウンで搭載されている。すなわち、上側の半導体素子74はフレキシブルプリント基板76に対してフリップチップボンディングされており、下側の半導体素子72もフレキシブルプリント基板26に対してフリップチップボンディングされている。

【01-10】以上のようないくつかの変形例による半導体装置において、フレキシブルプリント基板76(第2の基板)を図18に示すように構成することにより、ハンダリフロー時半導体装置内部からの水分排出効果を得ることができる。図18は下側の半導体装置72の上にフレキシブルプリント基板76を積層した状態を示す平面図である。

【01-11】本発明による半導体装置において、下側の半導体素子72は複数個つながった状態でその上にフレキシブルプリント基板76及び上側の半導体素子74を積層し、樹脂封止した後にダイシング等により分離して個々の半導体装置を形成することとしてもよい。この場合、第2の基板としてのフレキシブルプリント基板76は複数個つながった状態で一枚のシートとして供給される。

【01-12】さて、一枚のシートにおける各フレキシブルプリント基板76を図18に示すようにその四隅で繋げることとする。この場合、各フレキシブルプリント基板76を繋げる延出部76Aは、半導体装置を個片化する際の切断ライン(ダイシングライン)において切断される。したがって、図19に示すように、切断された第2の基板の延出部76Aの端面(切断面)には分離された半導体装置の側面に露出した状態となる。

【01-13】図19のよう、第2の基板であるフレキシブルプリント基板76の延出部76Aが半導体装置の封止樹脂40から露出した構成とすると、半導体装置の内部に存在する水分はハンダリフローの際に延出部76Aと封止樹脂40との界面に沿って移動し排出される。これにより、ハンダリフローの際に水分の蒸発により半導体装置の内部に発生するポイドを防止することができ、半導体装置の信頼性を高めることができる。

【01-14】なお、延出76Aを設ける位置は、フレキシブルプリント基板76の四隅に限ることなく、任意の位置とすることもできる。図19において3つの延出部

76Aの切断面が示されているが、中央に位置する切断面は4隅に設けられた場合の切断面を示しており、左右の切断面は延出部76Aがフレキシブルプリント基板76の四隅の間の各辺の任意の位置に設けられた場合の切断面を示している。

【01-15】また、第2の基板としてのフレキシブルプリント基板76に、図20に示すように金属層76Bのような熱伝導性の良好な材料の層を実質的に全面にわたって設けることにより、半導体素子72及び74の熱を拡散し放し出すことができる。これにより、部分的に大きな発熱があつても半導体装置内部の温度を平均化することができ、部分的な高温部分を防止することができる。また、上述の延出部76Aにより熱を外部に放出する効果を一層高めることができる。

【01-16】次に、本発明の第3の実施の形態による積層型半導体装置について説明する。本発明の第3の実施の形態における積層型半導体装置は、半導体装置内に試験専用チップが設けられたものである。

【01-17】上述の実施の形態において、半導体装置内で積層される半導体素子はパッケージ内で互いに接続される場合がある。例えば、図1-3に示す上側の半導体素子74-1、74-2は、フレキシブルプリント基板76を介して下側の半導体素子72に接続されているだけの場合もあり得る。一般的に、積層型半導体装置では、内部の半導体素子が半導体装置の内部だけで機能し、外部との接続を必要としない場合がある。

【01-18】しかし、半導体素子を半導体装置としてパッケージした後は、各半導体素子の機能を確認するため、試験を行う必要があり、そのためには、半導体装置の外部に設けられた試験回路を各半導体素子に接続する必要がある。上述のように、半導体装置内だけで機能する半導体素子は外部に接続する端子を必要としないため、試験のためだけに外部接続端子を設けることとなる。すなわち、半導体装置に試験用端子を追加することとなり、結果として半導体装置の寸法が増大してしまう。

【01-19】図21は、試験用端子の追加による半導体装置の寸法の増大を示す図である。図21(a)は試験用端子が無い場合の半導体装置の断面図であり、図21(b)は試験用端子を追加した場合の半導体装置の断面図である。図21(a)に示す半導体装置及び図21(b)に示す半導体装置共に同じサイズの下側の半導体素子1-0-2及び上側の半導体素子1-0-4を有しているが、通常の端子1-0-6に加えて試験用端子1-0-6Aを基板1-0-8に形成することにより、半導体装置自体の寸法が増大している。

【01-20】そこで、予め半導体素子内に試験回路を形成しておき、自己機能診断を行うことのできる半導体素子が提案されている。自己機能診断技術は、一般にB.I.S.T(Built-in Self-Test)と称され、半導体装置の試験の容易化を目的とするものである。B.I.S.T技術によ

る半導体素子を用いることにより、試験用端子を設ける必要はなくなり、端子数の増加による半導体装置の寸法の増大を阻止することはできる。しかし、B-I-S-T技術を用いるには、半導体素子の開発段階から試験回路を内蔵するか否かを検討しなければならない。特に、複数の半導体素子を積層する場合は、半導体素子の組み合わせも開発段階から考慮しなければならない。このため、B-I-S-T技術を用いた場合、半導体素子の設計段階から積層することを考慮して組み込むべき試験回路を検討しなくてはならず、設計に多大な労力と時間を必要とするという問題がある。また、B-I-S-T技術を既存の半導体素子の組み合わせ構造に用いることが難しいといった問題がある。

【0121】また、B-I-S-T技術を用いることにより端子数が減つても、半導体素子に試験回路を設けるために半導体素子自体の寸法が増大する。例えば、図2-2に示すように、積層する半導体素子の下側の半導体素子102に試験回路を組み込んだ場合、半導体素子102の寸法の増大に伴って基板108の寸法も増大し、結果として半導体装置の寸法も増大してしまう。また、図2-3に示すように、上側の半導体素子104に試験回路を組み込んだ場合、試験回路が組み込まれていない場合の半導体装置104は積層可能であっても、試験回路を組み込んだ半導体装置104は積層できなくなるといった問題が生じることもある。

【0122】そこで、本発明の第3の実施の形態では、試験回路専用の半導体素子を別個に作成し、積層する半導体素子の一つとして加えている。

【0123】図2-4は本発明の第3の実施の形態による積層型半導体装置1110の断面図である。積層型半導体装置1110において、下側の半導体装置102は接着剤1112を介してフェイスアップで基板108に搭載されている。半導体装置102の回路形成面には再配線層114が形成され、最配線層114に設けられた電極と基板108に設けられた電極108-aとはボンディングワイヤ116により接続されている。上側の半導体素子104は、再配線層114の上に接着剤118を介して固定されている。半導体素子104の電極はボンディングワイヤ120により再配線層114に接続されている。

【0124】ここで、本実施の形態では、試験回路のみが形成された半導体素子122が、再配線層114の空きスペースに搭載され、接着材124により固定されている。半導体素子122の電極はボンディングワイヤ126により再配線層に接続されている。すなわち、試験用の半導体素子122は、下側の半導体素子102が上側の半導体素子104に比較して十分大きく、再配線層114に開きスペースがあることが望ましい。

【0125】上述の第1の半導体素子102、第2の半導体素子104及び試験用半導体素子122及びボンディングワイヤ116、120、126は、基板108上で封止樹脂130により封止されている。

【0126】以上の構成において、試験用の半導体素子122は再配線層114を介して半導体素子102及び104に接続されており、半導体素子102及び104の試験を行うための回路を提供している。したがって、試験用の半導体素子122に外部からテストデータを入力するための端子とテスト結果を出力するための端子とを基板108に設けるだけで、半導体素子102及び104の試験を行うことができる。すなわち、半導体素子102及び104の電極全てに外部から接続できるように基板108に端子106を設ける必要はなく、半導体素子112に必要な端子を追加するだけで試験を行うことができる。

【0127】試験用の半導体素子122は、積層される半導体素子102及び104が決定されてから設計してもよく、また、ある程度標準化した試験回路として予め準備しておくこともできる。半導体素子122は試験専用の回路のみを有しており、効率よく迅速に試験を行うことができる。また試験の容易化及び試験時間の短縮が達成できる。

【0128】なお、図2-4に示す積層型半導体装置1110では、下側の半導体素子102の上に再配線層114を設けて上側の半導体素子104及び試験用の半導体素子122を搭載しているが、再配線層114を図1-10に示すようなフレキシブルプリント基板7-6により形成してもよい。フレキシブルプリント基板7-6は、例えばボリイミドテープに銅箔のような導電性材料を貼り付けてバターン化することにより形成したものとすることができる。フレキシブル基板7-6を用いた場合、図1-3に示す半導体装置9-0における半導体素子7-4-1及び7-4-2のうちいまか一方を試験用半導体素子に置き換えた構成となる。

【0129】図2-5乃至2-7は、図2-4に示す積層型半導体装置1110の変形例を示す。

【0130】図2-5は半導体装置1110の第1の変形例を示す断面図である。図2-5に示す第1の変形例は、図2-4に示す半導体装置1110と基本的に同じ構成であるが、試験用の半導体素子122をフェイスダウンで再配線層114に搭載した点が異なる。すなわち、試験用の半導体素子122は再配線層114に対してフリップチップボンディングされており、上側の半導体素子104はフェイスアップで再配線層114に搭載され、ワイヤボンディングされている。

【0131】図2-6は半導体装置1110の第2の変形例を示す断面図である。図2-6に示す第2の変形例は、図2-6に示す半導体装置1110と基本的に同じ構成であるが、半導体素子104をフェイスダウンで再配線層114に搭載した点が異なる。すなわち、上側の半導体素子104は再配線層114に対してフリップチップボンディングされており、試験用の半導体素子122はフェイ

スアップで再配線層114に搭載され、ワイヤボンディングされている。

【0132】図2-7は半導体装置110の第3の変形例を示す断面図である。図2-7に示す第3の変形例は、図2-4に示す半導体装置110と基本的に同じ構成であるが、試験用の半導体素子122をフェイスダウンで再配線層114に搭載し且つ半導体素子104もフェイスダウンで再配線層114に搭載した点が異なる。すなわち、試験用の半導体素子122は再配線層114に対してフリップチップボンディングされており、上側の半導体素子104も再配線層114に対してフリップチップボンディングされている。

【0133】以上説明したように本発明は以下の発明を含むものである。

【0134】(付記1) 外部接続用端子が設けられた第1の基板と、該第1の基板の該外部接続用端子が設けられた面の反対側の面に設けられた第1の端子と、該第1の基板上に搭載された少なくとも一つの第1の半導体素子と、該第1の半導体素子上に設けられた第2の基板と、該第2の基板上に搭載された少なくとも一つの第2の半導体素子とがパッケージされた積層型半導体装置であって、前記第1の半導体素子及び前記第2の半導体素子の少なくとも一方は、前記第2の基板の第2の端子に電気的に接続され、且つ前記第2の端子は前記第1の端子にワイヤボンディングされたことを特徴とする積層型半導体装置。

(付記2) 付記1記載の積層型半導体装置であって、前記第2の半導体素子は前記第1の基板の第1の端子にワイヤボンディングされ、前記第1の半導体素子は前記第2の基板にフリップチップ実装され、前記第2の基板の第2の端子は前記第1の基板の第1の端子にワイヤボンディングされたことを特徴とする積層型半導体装置。

(付記3) 付記2記載の積層型半導体装置であって、前記第2の基板は前記第2の半導体素子の外形を超えて延出した延在部を有しており、前記第2の基板の第2の端子は該延在部に形成されたボンディングパッドであって、前記第2の端子は前記第1の端子にワイヤボンディングされたことを特徴とする積層型半導体装置。

(付記4) 付記3記載の積層型半導体装置であって、前記第2の基板の前記延在部に切り欠きが設けられ、前記第2の半導体素子と前記第1の基板の第1の端子とを接続するボンディングワイヤは前記切り欠き内を通って延在することを特徴とする積層型半導体装置。

(付記5) 付記1記載の積層型半導体装置であって、前記第1の半導体素子は前記第1の基板の前記第1の端子にワイヤボンディングされ、前記第2の半導体素子は前記第2の基板の前記第2の端子にワイヤボンディングされ前記第2の基板の前記第2の端子は前記第1の基板の前記第1の端子にワイヤボンディングされたことを特徴とする積層型半導体装置。

(付記6) 付記5記載の積層型半導体装置であって、前記第2の基板は前記第2の半導体素子の外形を超えて延出した延在部を有しており、前記第2の基板の前記第2の端子は該延在部に形成された第1のボンディングパッドを介して前記第1の基板の前記第1の端子にワイヤボンディングされたことを特徴とする積層型半導体装置。

(付記7) 付記6記載の積層型半導体装置であって、前記第2の半導体素子は前記第2の基板に形成された第2のボンディングパッドにワイヤボンディングされ、該第2のボンディングパッドは前記第2の基板上に形成されたバターン配線を介して前記第1のボンディングパッドに接続されたことを特徴とする積層型半導体装置。

(付記8) 付記1記載の積層型半導体装置であって、前記第2の基板は周囲に向かって延出した延出部を有し、該延出部はパッケージされた半導体装置の側面に露出した端面を有することを特徴とする積層型半導体装置。

(付記9) 付記8記載の積層型半導体装置であって、前記延出部の端面は前記積層型半導体装置を個片化する際の切断により形成された切断面であることを特徴とする積層型半導体装置。

(付記10) 付記1記載の積層型半導体装置であって、前記第2の基板の前記第2の端子が設けられた面とは反対側の面に実質的に全面に渡って導電層が設けられたことを特徴とする積層型半導体装置。

(付記11) 外部接続用端子が設けられた第1の基板と、該第1の基板上に積層状態で搭載された複数の半導体素子と、該複数の半導体素子の間に設けられた第2の基板とを有し、前記第1の基板上に前記半導体素子と前記第2の基板とがパッケージされた積層型半導体装置であって、前記第2の基板は、直上の半導体素子の外周より延出した延在部を有しており、前記半導体素子のうち直上及び直下の半導体素子の少なくとも一方に電気的に接続されたボンディングパッドが前記延在部に設けられ、該ボンディングパッドはワイヤボンディングにより前記第1の基板に電気的に接続されたことを特徴とする積層型半導体装置。

(付記12) 付記1-1記載の積層型半導体装置であって、前記半導体素子は同種類の半導体素子であり、前記第1の基板に対して同じ位置の垂直方向に積層されたことを特徴とする積層型半導体装置。

【0135】(付記13) 付記1-1又は1-2記載の積層型半導体装置であって、前記第2の基板の延在部の延在長さは、前記第1の基板に近づくほど大きくなり、最上段に位置する第2の基板から順に直下の第2の基板にワイヤボンディングされ、最下段に位置する第2の基板は第1の基板にワイヤボンディングされたことを特徴とする積層型半導体装置。

【0136】(付記14) 付記1-1又は1-2記載の積層型半導体装置であって、前記第2の基板の延在部は実質的に等しい延在長さを有しており、前記第2の基板の各

々は前記第1の基板に直接ワイヤボンディングされたことを特徴とする積層型半導体装置。 (1)

【0137】(付記1'5) 外部接続用端子が設けられた第1の基板と、該第1の基板の該外部接続用端子が設けられた面の反対側の面に設けられた第1の端子と、該第1の基板上に搭載された少なくとも一つの第1の半導体素子と、該第1の半導体素子上に設けられた再配線層と、該再配線層上に搭載された少なくとも一つの第2の半導体素子と、該再配線層上に搭載された試験用半導体素子などがパッケージされた積層型半導体装置であつて、前記第1の半導体素子及び前記第2の半導体素子の少なくとも一方は、前記再配線層を介して前記第1の基板に電気的に接続され、且つ前記試験用半導体素子は前記再配線層に電気的に接続されたことを特徴とする積層型半導体装置。 (12) (付記1'6) 付記1'5記載の積層型半導体装置であつて、前記再配線層は銅板又は銅箔をバターン化することにより形成したことを特徴とする積層型半導体装置。

【0138】(付記1'7) 付記1'5記載の積層型半導体装置であつて、前記再配線層はフレキシブルプリント基板よりなることを特徴とする積層型半導体装置。

【0139】(付記1'8) 付記1'7記載の積層型半導体装置であつて、前記フレキシブルプリント基板は、導電パターンが形成されたボリウミドテープよりなることを特徴とする積層型半導体装置。

【0140】(付記1'9) 積層型半導体装置の製造方法であつて、第1の半導体素子に突起電極を形成し、前記第1の半導体素子を第2の基板にフリップチップ実装し、該第2の基板の前記第1の半導体素子の反対側に、前記第2の基板より小さい寸法を有する第2の半導体素子を固定すると共に前記第1の半導体素子を第1の基板の表面に固定し、前記第1及び第2の半導体素子の各々を前記第1の基板にワイヤボンディングし、前記第1の基板において、前記第1及び第2の半導体素子及び前記第2の基板を一体的に封止し、前記第1の基板の裏面に外部接続用電極を形成する各工程を有することを特徴とする積層型半導体装置の製造方法。 (13)

(付記2'0) 積層型半導体装置の製造方法であつて、第1の基板の表面上に第1の半導体素子を固定すると共に、該第1の半導体素子の上に第2の基板を固定し、且つ該第2の基板より小さい寸法を有する第2の半導体素子を前記第2の基板の上に固定し、前記第2の半導体素子を前記第2の基板にワイヤボンディングすると共に、前記第2の基板及び前記第1の半導体素子の各々を前記第1の基板にワイヤボンディングし、前記第1の基板において、前記第1及び第2の半導体素子及び前記第2の基板を一体的に封止し、前記第1の基板の裏面に外部接続用電極を形成する各工程を有することを特徴とする積層型半導体装置の製造方法。 (14)

【発明の効果】 上述の如く本発明によれば、次に述べる

種々の効果を実現することができる。

【0141】請求項1記載の発明によれば、第1及び第2の半導体素子のうちの一方を、外部接続用電極が設けられた第1の基板に対して直接電気的に接続し、他方を第2の基板を介して第1の基板に電気的に接続することができる。したがって、第1の半導体素子と第2の半導体素子とが同じサイズであつても、一方を直接第1の基板の第1の端子にワイヤボンディングし、他方を第2の基板の第2の端子を介してワイヤボンディングにより第1の基板に電気的に接続することができる。また、第2の半導体素子が第1の半導体素子よりもかなり小さい場合でも、第1の半導体素子を直接第1の基板の第1の2端子ワイヤボンディングし、第2の半導体素子を第2の基板の第2の端子を介して第1の基板の第1の端子にワイヤボンディングにより電気的に接続することができる。したがって、第2の基板を第1の半導体素子と第2の半導体素子との間に設けることにより、任意のサイズの複数の半導体素子を積層状態で一つのパッケージに収容することができる。

【0142】請求項2記載の発明によれば、第1の半導体素子を第2の基板にフリップチップ実装することにより、第1の半導体素子の電極を第2の基板の反対側に形成されたポンティングパッドに電気的に接続することができる。このポンティングパッドを第1の基板の第1の端子にワイヤボンディングすることにより、第1の半導体素子を第1の基板に電気的に接続することができる。また、第2の半導体素子を第2の基板上に電極を上に向けて固定することにより、第2の半導体素子は第1の基板の第1の端子に直接ワイヤボンディングすることができる。

【0143】請求項3記載の発明によれば、第2の基板の延長部にポンティングパッドを設けることにより、第1の基板へのワイヤボンディングの距離が小さくなり、確実なワイヤボンディングを行うことができる。

【0144】請求項4記載の発明によれば、ポンディングワイヤが切り欠き部を通過するように構成することにより、ポンディングワイヤの長さを短くすることができます。ポンディングワイヤが周囲の部品又は隣接するポンディングワイヤに接触することを防止することができます。

【0145】請求項5記載の発明によれば、第2の半導体素子が第2の基板の第2の端子にワイヤボンディングされ、第2の半導体素子が第1の基板の第1の端子にワイヤボンディングされる。このため、第2の半導体素子が第1の半導体素子よりもかなり小さいサイズであつても、ワイヤボンディングの距離を長くすることなく、第2の半導体素子を第1の基板に電気的に接続することができる。

【0146】請求項6記載の発明によれば、第2の基板の延長部にポンディングパッドを設けることにより、第

1の基板へのワイヤボンディングの距離が小さくなり、確実なワイヤボンディングを行うことができる。

【01147】請求項7記載の発明によれば、第2の基板に形成されたパターン配線を介して、第2の半導体素子の電極を第2の基板の任意の位置に引き回すことができる。したがって、ワイヤボンディングの位置を任意の位置に変更することができ、自由度の高いワイヤボンディングを実現することができる。

【01148】請求項8記載の発明によれば、第2の基板の延出部は半導体装置の内部から延在して側面に露出する。半導体装置の内部に存在する水分は、延出部と封止樹脂との界面に沿うて移動し、側面に露出した部分から半導体装置の外部に放出される。したがって、ハンダリフローの際に半導体装置内部に閉じ込められた水分が急激に蒸発することに起因したボイドの発生などを防止することができ、半導体装置の信頼性を向上することができる。

【01149】請求項9記載の発明によれば、複数の第2の基板同士を繋ぐ部分を延出部として形成し、半導体装置を個片化する際に延出部を切断することで、半導体装置の側面に露出した延出部の端面を容易に形成することができる。

【01150】請求項10記載の発明によれば、第2の基板の伝熱層は半導体装置内の熱を拡散して温度分布を均一化するよう作用し、半導体装置の温度を実質的に下げるることができる。伝熱層は金属層であることが好ましい。

【01151】請求項11記載の発明によれば、任意の数の同種類の半導体装置を積層状態で第1の基板上に配置してパッケージすることができる。上述の発明において、例えば、前記半導体素子は同種類の半導体素子であり、第1の基板に対し同じ位置の垂直方向に積層されることとしてもよい。また、第2の基板の延在部の延長さは、第1の基板に近づくほど大きくなり、最上段に位置する第2の基板から順に直下の第2の基板にワイヤボンディングされ、最下段に位置する第2の基板は第1の基板にワイヤボンディングされることとしてもよい。

【01152】請求項12記載の発明によれば、第1の半導体素子上に再配線層を介して第2の半導体素子と試験用半導体素子とが搭載される。第1の半導体素子及び第2の半導体素子の試験を行うための試験回路を試験用半導体素子に形成することにより、半導体装置内部に試験回路を容易に組み込むことができる。また、第1及び第2の半導体素子の全ての電極を半導体装置の外部に引き出す必要はなく、試験用回路に接続する入力及び出力端子を半導体装置に設けるだけでよい。これにより、半導体装置の寸法を増大することなく試験回路を組み込むこ

とができる。

【01153】請求項13記載の発明によれば、第1の半導体素子を第2の基板にフリップチップ実装することにより、第1の半導体素子の電極を第2の基板の反対側に形成されたボンディングパッドに電気的に接続することができる。このボンディングパッドを第1の基板にワイヤボンディングすることにより、第1の半導体素子を第1の基板に電気的に接続することができる。また、第2の半導体素子を第2の基板上に電極を上に向けて固定することにより、第2の半導体素子は第1の基板に直接ワイヤボンディングすることができる。

【01154】請求項14記載の発明によれば、第2の半導体素子が第2の基板にワイヤボンディングされ、第2の半導体素子が第1の基板にワイヤボンディングされる。このため、第2の半導体素子が第1の半導体素子よりもかなり小さいサイズであっても、ワイヤボンディングの距離を長くすることなく、第2の半導体素子を第1の基板に電気的に接続することができる。

【図面の簡単な説明】

【図1】2つの半導体素子を積層して形成した従来のS-MCPの構成を示す図である。

【図2】上側の半導体素子と下側の半導体素子の配置関係を示す図である。

【図3】本発明の第1の実施の形態による積層型半導体装置の一部の断面図である。

【図4】本発明の第1の実施の形態による積層型半導体装置の製造工程を説明するための図である。

【図5】図3に示す半導体装置における2つの半導体素子を同種類のメモリチップとした場合の配線例を示す図である。

【図6】図5に示す配線例を実現するために設けられるボンディングワイヤの一部を示す簡略図である。

【図7】図5に示す配線を変更してT/O構成を2倍にした場合の配線例を示す図である。

【図8】図7に示す配線例を実現するために設けられるボンディングワイヤの一部を示す簡略図である。

【図9】本発明の第1の実施の形態に基づいて半導体素子を複数個積層した半導体装置の断面図である。

【図10】本発明の第2の実施の形態による積層型半導体装置の一部の断面図である。

【図11】本発明の第2の実施の形態による積層型半導体装置の積層構造を示す斜視図である。

【図12】本発明の第2の実施の形態による積層型半導体装置の製造工程を説明するための図である。

【図13】上側の半導体素子を複数個とした半導体装置の断面図である。

【図14】本発明の第2の実施の形態による半導体装置の第1の変形例を示す図であり、(a)は内部を透視した平面図、(b)は(a)のX1V-X1V線に沿った断面図である。

【図15】本発明の第2の実施の形態による半導体装置の第2の変形例を示す図であり、(a)は内部を透視した平面図、(b)は(a)のXV-XV線に沿った断面図である。

【図16】本発明の第2の実施の形態による半導体装置の第3の変形例を示す図であり、(a)は内部を透視した平面図、(b)は(a')のXVI-XVI線に沿った断面図である。

【図17】本発明の第2の実施の形態による半導体装置の第4の変形例を示す図であり、(a)は内部を透視した平面図、(b)は(a')のXVI'-XVI'線に沿った断面図である。

【図18】本発明の第2の実施の形態による半導体装置において、下側の半導体装置の上にフレキシブルプリント基板を積層した状態を示す平面図である。

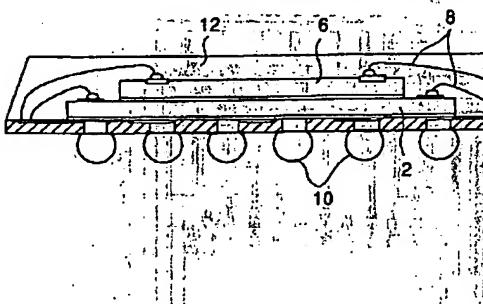
【図19】図18に示す延在部の切断面を示す斜視図である。

【図20】第2の基板に金属層を設けた構成を示す側面図である。

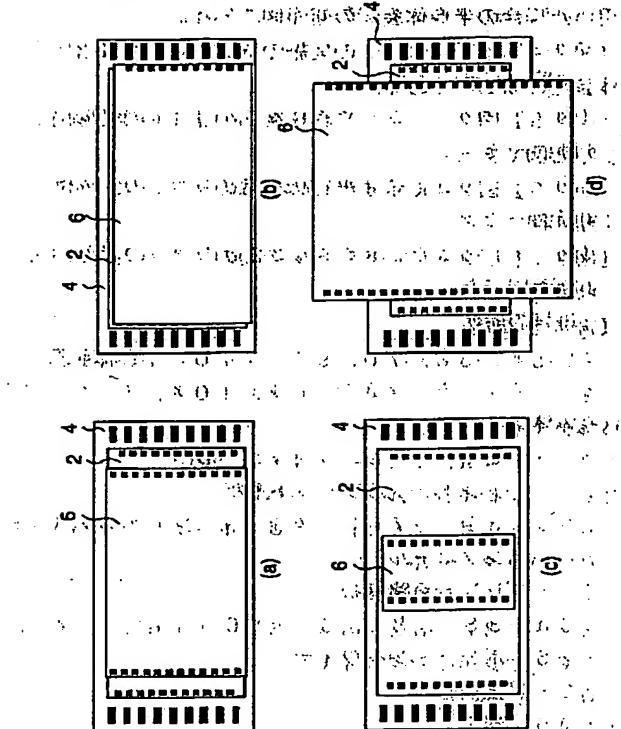
【図21】試験用端子の追加による半導体装置の寸法の増大を示す図であり、(a)は試験用端子が無い場合の半導体装置の断面図であり、図21(b)は試験用端子を追加した場合の半導体装置の断面図である。

【図22】下側の半導体素子に試験回路を組み込んだ場合の半導体装置の寸法の増大を示す図であり、(a)は試験回路を組み込まない半導体素子を用いた場合の半導体装置の断面図であり、図21(b)は試験回路を組み込んだ半導体素子を用いた場合の半導体装置の断面図である。

【図1】
2つの半導体素子を積層して形成した従来のS-MCPの構成を示す図

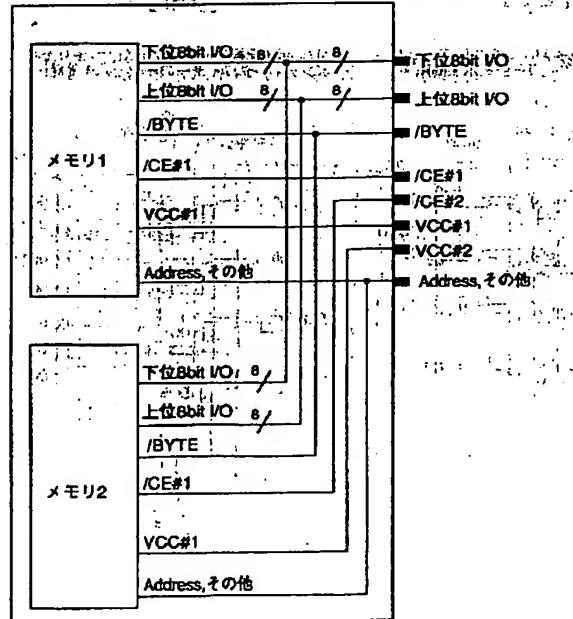


【図2】各半導体要素の配直関係を示す図

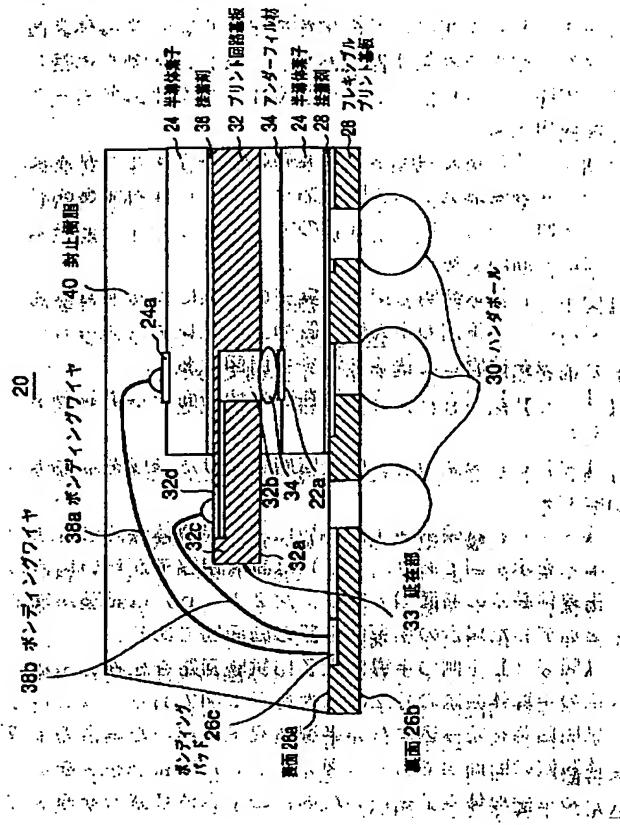


【図5】

図3に示す半導体装置における2つの半導体素子を同種類のメモリチップとした場合の配線列を示す図

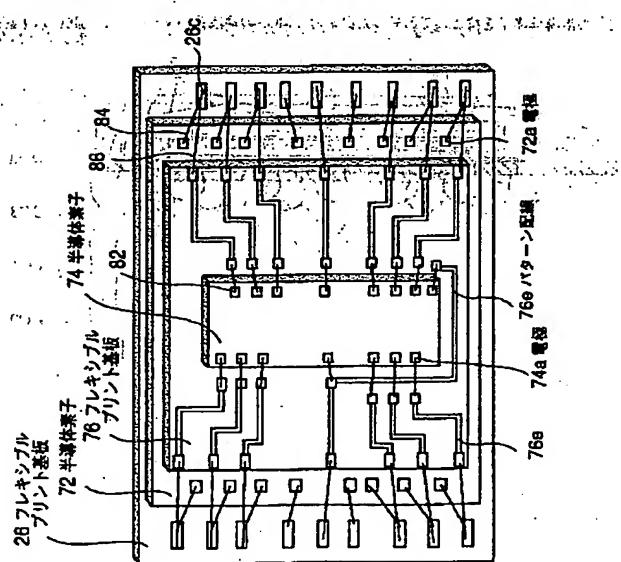


【図3】は、前記の半導体装置の一部分の断面図である。
本発明の第1の実施形態による積層型半導体装置の一部の断面図



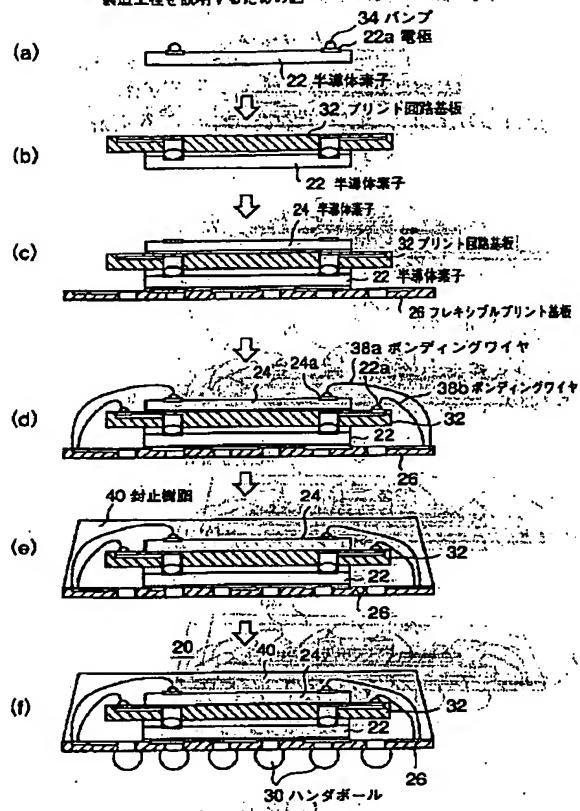
【图 1-1】

本発明の第2の実施の形態による積層型半導体装置の積層構造を示す斜視図



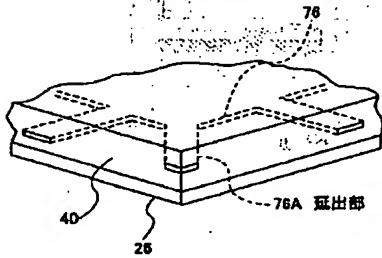
【図4】

本発明の第1の実施の形態による積層型半導体装置の
製造工程を説明するための図



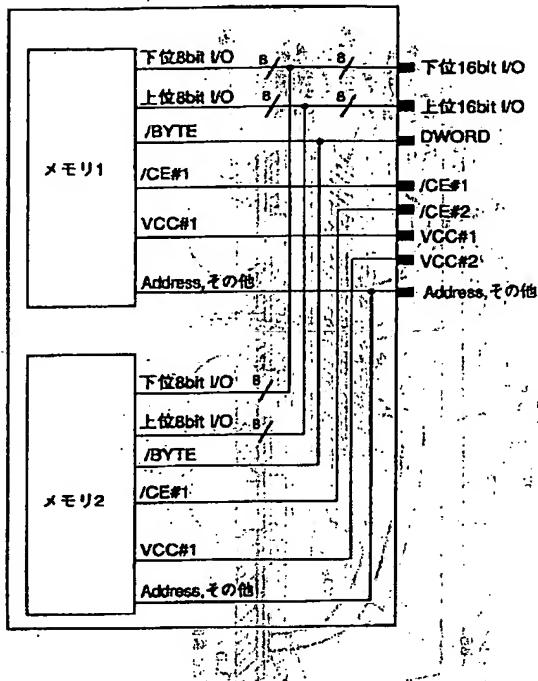
【図19】

図18に示す延在部の切面を示す斜視図



【図7】

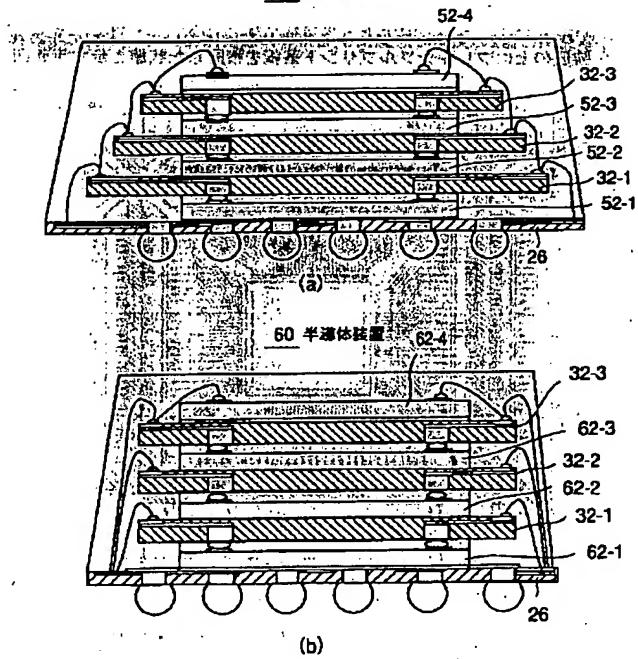
図5に示す配線を変更してI/O構成を2倍にした場合の配線列を示す図



【図9】

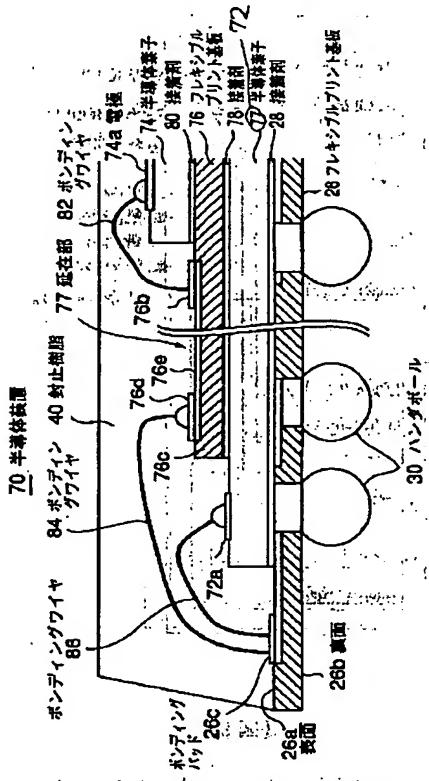
本発明の第1の実施の形態に基づいて半導体素子を
複数個積層した半導体装置の断面図

50 半導体装置



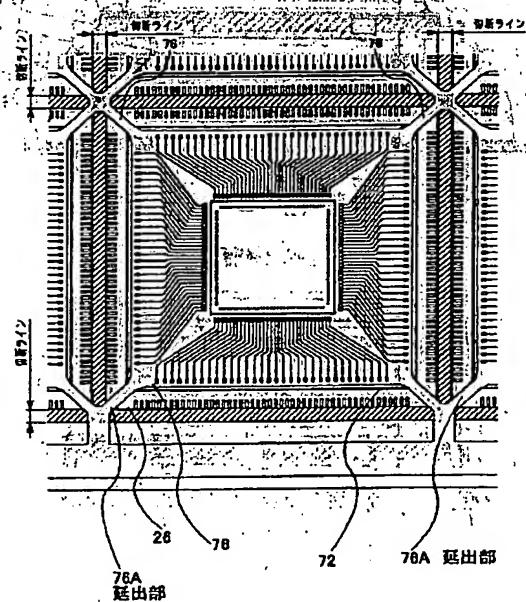
【図10】

本発明の第2の実施の形態による積層型半導体装置の一例の断面図



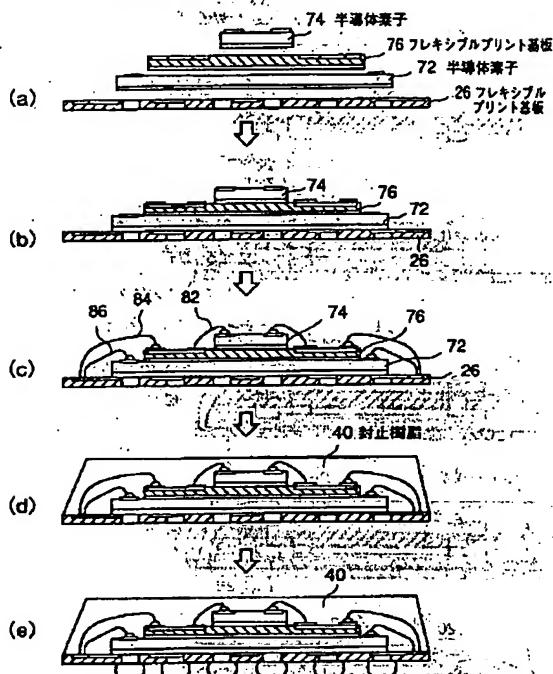
【図18】

本発明の第2の実施の形態による半導体装置において、下側の半導体装置の上にフレキシブルプリント基板を複層した状態を示す平面図



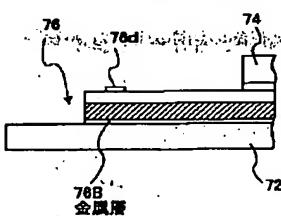
【図12】

本発明の第2の実施の形態による積層型半導体装置の製造工程を説明するための図



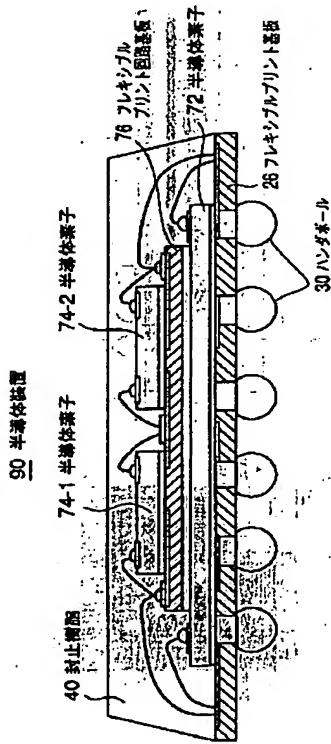
【図20】

第2の基板に金属層を設けた構成を示す側面図



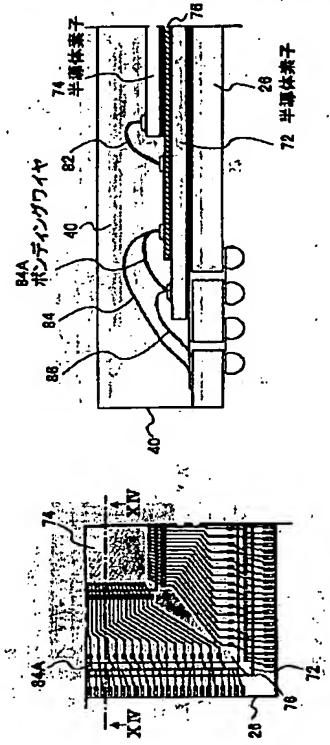
【図13】

上側の半導体素子を複数個とした半導体装置の断面図



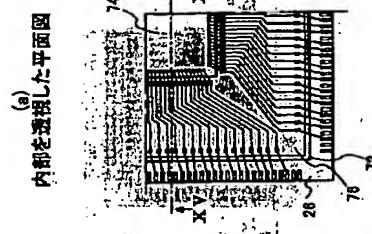
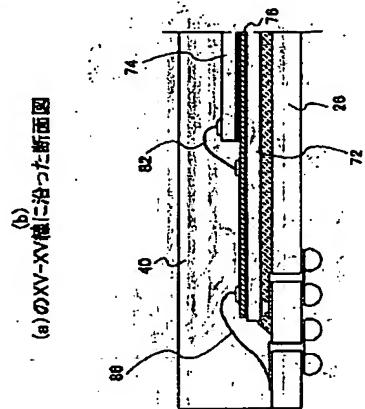
【図14】

本発明の第2の実施の形態による半導体装置の第1の変形例を示す図

(a) 内部を透視した平面図
(b) (a)のXV-XVI線に沿った断面図

【図15】

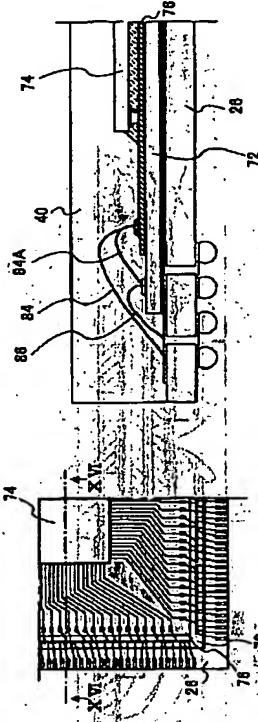
本発明の第2の実施の形態による半導体装置の第2の変形例を示す図、本発明の第2の実施の形態による半導体装置の第3の変形例を示す図



【図15】

【図16】

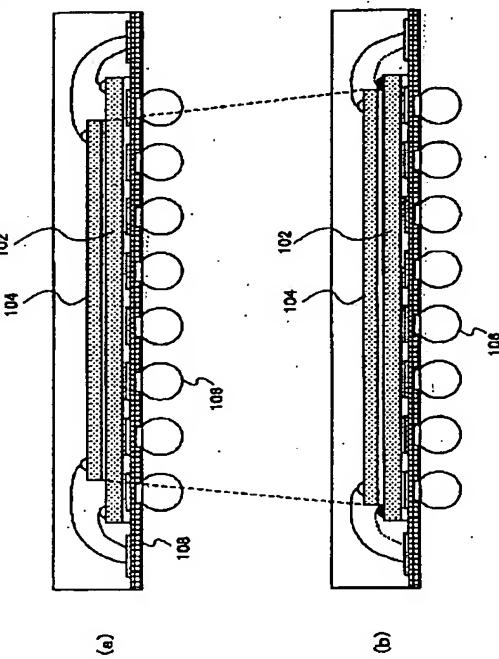
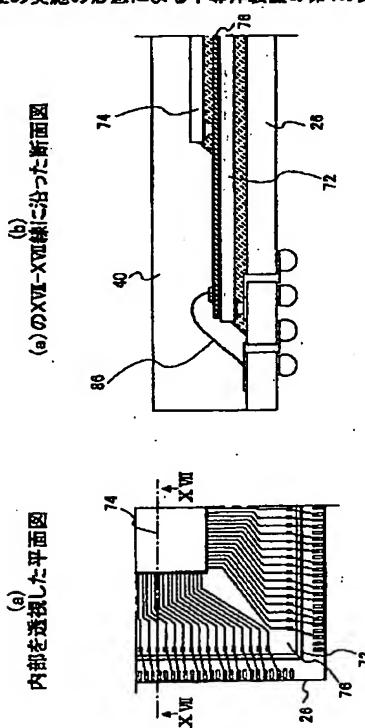
(a) のXV-XV線に沿った断面図
(b) のXVI-XVI線に沿った断面図



【図16】

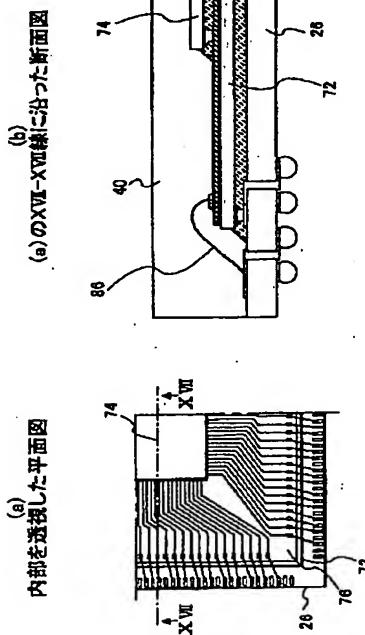
本発明の第2の実施の形態による半導体装置の第4の変形例を示す図

上側の半導体素子に試験回路を組み込んだ場合の問題を示す図
(a) 試験回路を組み込まない半導体素子を用いた場合の半導体装置の断面図
(b) 試験回路を組み込んだ半導体素子を用いた場合の半導体装置の断面図



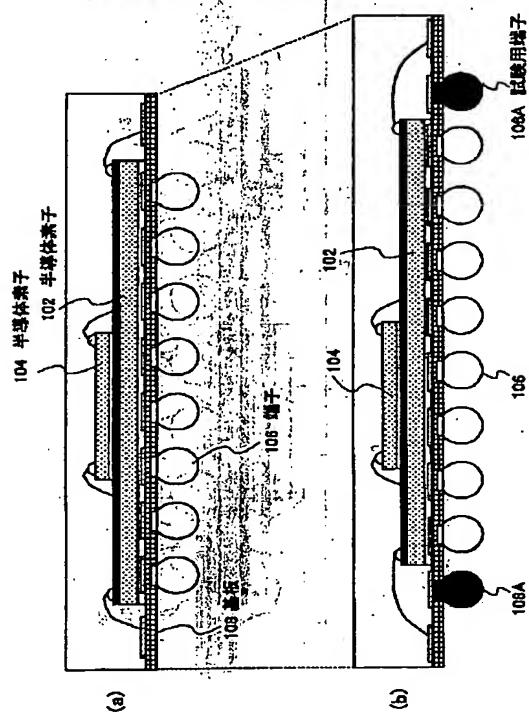
(a)

(b)



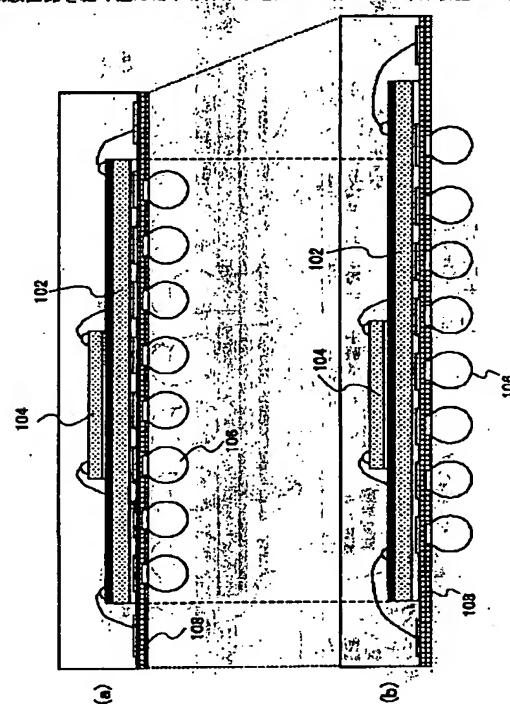
【図2'1】

試験用端子の追加による半導体装置の寸法の増大を示す図
 (a) 試験用端子が無い場合の半導体装置の断面図
 (b) 試験用端子を追加した場合の半導体装置の断面図



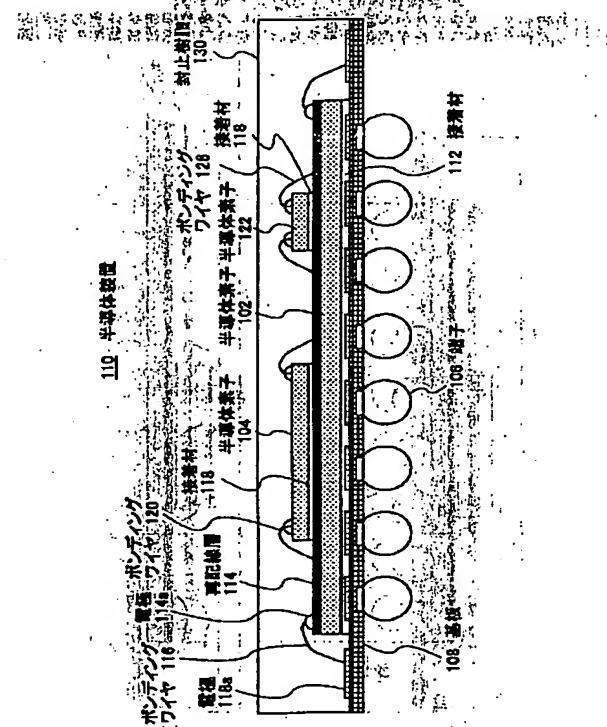
【図2'2】

下側の半導体素子に試験回路を組み込んだ場合の半導体装置の寸法の増大を示す図
 (a) 試験回路を組み込まない半導体素子を用いた場合の半導体装置の断面図
 (b) 試験回路を組み込んだ半導体素子を用いた場合の半導体装置の断面図



【図2・4】

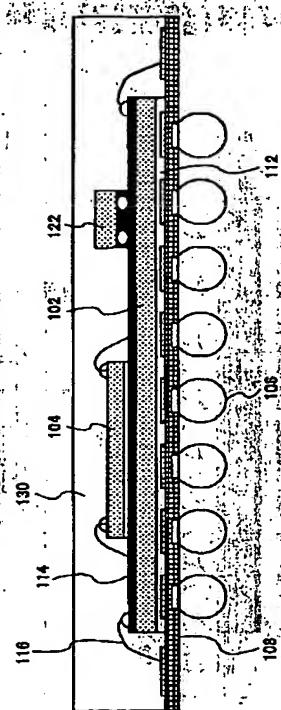
本発明の第3の実施の形態による積層型半導体装置の断面図



【図2・6】

【図2・5】

図24に示す半導体装置の第1の変形例を示す断面図



【図2・7】

図24に示す半導体装置の第2の変形例を示す断面図

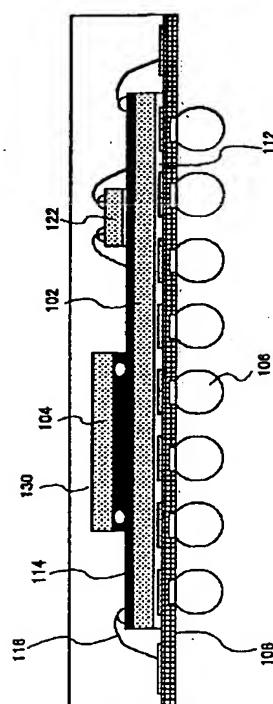
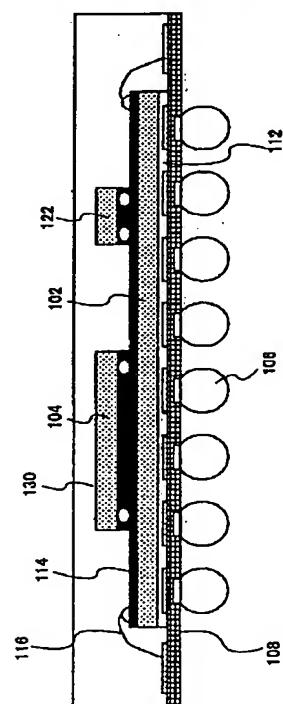


図24に示す半導体装置の第3の変形例を示す断面図



フロントページの続き

(72) 発明者 梶館 美弘
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72) 発明者 明石 裕二
愛知県春日井市高蔵寺町二丁目1844番2
富士通ヴィエルエスアイ株式会社内

(72) 発明者 小澤 要
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72) 発明者 高島 晃
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72) 発明者 宇野 正
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72) 発明者 西村 隆雄
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72) 発明者 安藤 史彦
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72) 発明者 小野寺 浩
宮城県柴田郡村田町大字村田字西ヶ丘1番
地の1 株式会社富士通宮城エレクトロニ
クス内

(72) 発明者 奥田 勇人
福島県会津若松市門田町工業団地4番地
株式会社富士通東北エレクトロニクス内

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.